

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-292898

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

G06F 11/28

G06F 15/78

(21)Application number : 07-098379

(71)Applicant : RICOH CO LTD

(22)Date of filing : 24.04.1995

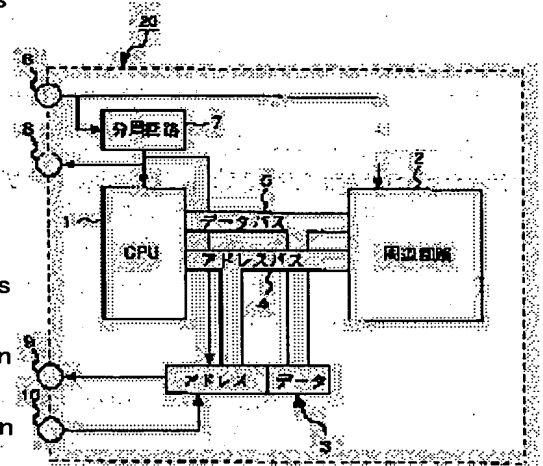
(72)Inventor : NAKAGAWA MASAHIKO

(54) MICROCOMPUTER AND DEBUGGING DEVICE

(57)Abstract:

PURPOSE: To facilitate debugging at the actual site of a microcomputer after products is mounted by constituting a storage means which stores information on the address bus and data bus when a CPU operates and sends it out.

CONSTITUTION: In a shift register 3, address information and data information on the address bus 4 and data bus-5 at the fall of a CPU clock where a CPU 1 writes information in a peripheral circuit 2 are written. When the CPU 1 reads or writes data at the rise of the CPU clock, the shift register 3 inputs the address information and data information at the rise of the CPU clock. Then a communication clock is supplied from outside a microcomputer 20 to a communication clock input terminal 10, and then the address information and data information which are inputted to the shift register 3 are sent out of the microcomputer 20 from a sent data terminal 9 by one bit at each time in synchronism with the communication clock.



LEGAL STATUS

[Date of request for examination] 11.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3396107

[Date of registration] 07.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The arithmetic and program control driven with a CPU clock, and the circumference circuit connected to the above-mentioned arithmetic and program control, It is a microcomputer with the address bus and data bus which connect the above-mentioned arithmetic and program control and the above-mentioned circumference circuit to a single semi-conductor substrate top. It connects with the above-mentioned address bus and a data bus on the above-mentioned semi-conductor substrate. And the above-mentioned CPU clock is supplied and the above-mentioned arithmetic and program control stores the information on the above-mentioned address bus and the above-mentioned data bus to a lead or the timing which carries out a light. And the microcomputer characterized by having a storing means to send out the information on the above-mentioned address bus which the communication link clock generated in the exterior of the microcomputer concerned is supplied, and is stored by supply of this communication link clock, and the above-mentioned data bus to the exterior.

[Claim 2] The received-data terminal which supplies the external address information and external data information which are connected to the above-mentioned storing means and supplied from the outside to the above-mentioned storing means, It is prepared a bus connection disconnection means to perform connection or separation of the address bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit, and a data bus based on the DMA signal which is established on the above-mentioned semi-conductor substrate, and is supplied from the outside of the microcomputer concerned, and on the above-mentioned semi-conductor substrate. By and supply of the above-mentioned DMA signal It has a DMA processing means to perform Direct-Memory-Access actuation between the above-mentioned storing means and the above-mentioned circumference circuit about the external address information and external data information which are stored in the above-mentioned storing means while connection of an address bus and a data bus is separated with the above-mentioned bus disconnection means. The above-mentioned storing means When the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are connected by the above-mentioned bus connection disconnection means, while performing storing of the information on the above-mentioned address bus and the above-mentioned data bus, and sending out in the exterior of the storing information concerned The above-mentioned external address information and external data information which are supplied through the above-mentioned received-data terminal are stored. The microcomputer according to claim 1 which sends out the above-mentioned external address information and the above-mentioned external data information which are stored when the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are separated by the above-mentioned bus connection disconnection means to the above-mentioned DMA means.

[Claim 3] The data input terminal which supplies the external data information which is connected to the above-mentioned storing means and supplied from the outside to the above-mentioned storing means, A data bus connection disconnection means to perform the connection and the separation of the above-mentioned data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit based on the external instruction enabling signal which is established

on the above-mentioned semi-conductor substrate, and is supplied from the outside, It is prepared on the above-mentioned semi-conductor substrate. And an external instruction output means to send out the above-mentioned external data information stored in the above-mentioned storing means based on the above-mentioned external instruction enabling signal while connection of the above-mentioned data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit is separated by the above-mentioned data bus disconnection means to the above-mentioned arithmetic and program control, A preparation and the above-mentioned storing means When the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are connected by the above-mentioned data bus connection disconnection means, while performing storing of the information on the above-mentioned address bus and the above-mentioned data bus, and sending out in the exterior of the storing information concerned The above-mentioned external data information supplied through the above-mentioned data input terminal is stored. Send out the above-mentioned external data information stored when the above-mentioned circumference circuit is separated from the data bus by the above-mentioned data bus connection disconnection means to the above-mentioned data bus, and the above-mentioned arithmetic and program control reads the above-mentioned external data based on the above-mentioned CPU clock. A microcomputer according to claim 1.

[Claim 4] It is the microcomputer according to claim 3 with which the above-mentioned communication link clock is sent out to the above-mentioned microcomputer based on the SYNC signal sent out from the above-mentioned SYNC signal output terminal by having further the SYNC signal output terminal by which the above-mentioned arithmetic and program control sends out the SYNC signal which shows the cycle which reads an instruction to the exterior.

[Claim 5] In the debugging equipment used for a microcomputer according to claim 1 to 4 The system clock control means which controls supply to the above-mentioned microcomputer of the system clock which is formed in the exterior of the above-mentioned microcomputer and becomes the origin of generation of a CPU clock, Supervise the above-mentioned CPU clock which it is prepared in the exterior of the above-mentioned microcomputer, and the arithmetic and program control in the above-mentioned microcomputer sends out, and the above-mentioned arithmetic and program control leads. Debugging equipment characterized by having a communication link clock control means to detect having carried out the light and to send out a communication link clock to the above-mentioned arithmetic and program control.

[Claim 6] It is debugging equipment according to claim 5 have a reception comparison means in comparison with the setting address information which received the information on the address bus which is established in the exterior of the above-mentioned microcomputer and is sent out from the above-mentioned microcomputer, and a data bus synchronizing with the above-mentioned communication link clock, and set up beforehand the receiving address information concerned and received-data information, and setting data information, and the above-mentioned system clock control means controls supply of the above-mentioned system clock to the above-mentioned microcomputer based on the comparison result in the above-mentioned reception comparison means.

[Claim 7] Debugging equipment [equipped with a storage means to connect with the above-mentioned reception comparison means, and to memorize the above-mentioned receiving address information and received-data information for every above-mentioned CPU clock, and the indicating equipment which displays in visible the information which was prepared in the exterior of the above-mentioned microcomputer and was memorized by the above-mentioned storage means] according to claim 6.

[Claim 8] In the debugging equipment used for a microcomputer, according to claim 2 The system clock control means which controls supply to the above-mentioned microcomputer of the system clock which is formed in the exterior of the above-mentioned microcomputer and becomes the origin of generation of the above-mentioned CPU clock, While being prepared in the exterior of the above-mentioned microcomputer and directing a halt of sending out of the above-mentioned system clock to the above-

mentioned system clock control means, a DMA signal is sent out to the above-mentioned microcomputer. After shifting to DMA actuation, the above-mentioned external address information and external data information which are used for DMA actuation are sent out to the received-data terminal with which the above-mentioned microcomputer is equipped. And debugging equipment characterized by having the processing control means which receives the print-out of the above-mentioned microcomputer by the above-mentioned DMA actuation.

[Claim 9] Debugging equipment [equipped with a storage means for it to be prepared in the exterior of the above-mentioned microcomputer, to connect with the above-mentioned processing control means, and to memorize the above-mentioned print-out, and the indicating equipment which displays in visible the information which was prepared in the exterior of the above-mentioned microcomputer and was memorized by the above-mentioned storage means] according to claim 8.

[Claim 10] In the debugging equipment used for a microcomputer according to claim 3 The system clock control means which controls supply to the above-mentioned microcomputer of the system clock which is formed in the exterior of the above-mentioned microcomputer and becomes the origin of generation of a CPU clock, After being prepared in the exterior of the above-mentioned microcomputer and directing a halt of sending out of the above-mentioned system clock to the above-mentioned system clock control means, It is based on the above-mentioned CPU clock. Sending out of the external data information to the above-mentioned microcomputer, And debugging equipment characterized by having the processing control means which sends out the external instruction enabling signal which directs incorporation of the above-mentioned external data information to the arithmetic and program control with which the above-mentioned microcomputer is equipped to the above-mentioned microcomputer.

[Claim 11] It is debugging equipment according to claim 10 the above-mentioned processing control means was equipped with a receiving means receive the print-out which the above-mentioned microcomputer sends out after the above-mentioned arithmetic and program control performed the above-mentioned external data information, and had a storage means it is connected with the above-mentioned receiving means, and memorize the above-mentioned print-out, and the indicating equipment display in visible the information which was prepared in the exterior of the above-mentioned microcomputer and was memorized by the above-mentioned storage means.

[Claim 12] It is debugging equipment according to claim 10 or 11 the above-mentioned arithmetic and program control processes based on the above-mentioned instruction information supplied from the above-mentioned storing means when it has a 2nd storage means store the instruction information which connects with the above-mentioned processing control means, and the above-mentioned arithmetic and program control is made to perform as the above-mentioned external data information and the above-mentioned external instruction enabling signal is supplied from the above-mentioned processing control means.

[Claim 13] It is debugging equipment according to claim 11 or 12 made to stop sending out of the above-mentioned system clock when the above-mentioned processing control means supervises the address information supplied from the above-mentioned microcomputer when the storing means with which the above-mentioned microcomputer is equipped stores information in the standup and falling of a CPU clock, and this address information is in agreement with the specific address.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the microcomputer and debugging equipment which can debug easily the microcomputer mounted in the product.

[0002]

[Description of the Prior Art] After a microcomputer is mounted in a product, it is very difficult to perform debugging of a microcomputer in the applicable field of a microcomputer. That is, although the same phenomenon as the trouble concerned is generated using ICE (in circuit emulator) and the microcomputer concerned is debugged when a trouble occurs, debugging cannot be performed easily that the above-mentioned phenomenon is not reproduced by the difference from the microcomputer chip and ICE which are mounted in many cases. Thus, importance is attached to debugging in the site of the microcomputer after mounting. Since CPU (arithmetic and program control) is built in the above-mentioned chip especially in the case of the one-chip microcomputer, it is not easy to carry out the monitor of the actuation of CPU from the exterior of the above-mentioned chip. As debugging equipment for microcomputers, what formed the control unit which controls CPU by the circuit which requires an interrupt of CPU as a peripheral device for debugging, or the Ready signal is indicated by JP,2-287635,A. Thus, in the former, since a microcomputer is debugged, a complicated monitoring facility is given in a microcomputer, a microcomputer is controlled from the outside, and debugging in the field is enabled. For this reason, ROM for monitor programs (lead-only memory) was required for conventional debugging equipment, and it had troubles, like a circuit becomes complicated and a chip unit price becomes high. It was not made in order that this invention might solve such a trouble, and it aims at offering the microcomputer and debugging equipment which can perform easily debugging in the site of the microcomputer mounted in the product, without needing a complicated circuit and control.

[0003]

[Means for Solving the Problem and its Function] The arithmetic and program control which drives the microcomputer of this invention with a CPU clock. It is a microcomputer with the address bus and data bus which connect the circumference circuit connected to the above-mentioned arithmetic and program control, and the above-mentioned arithmetic and program control and the above-mentioned circumference circuit to a single semi-conductor substrate top. It connects with the above-mentioned address bus and a data bus on the above-mentioned semi-conductor substrate. And the above-mentioned CPU clock is supplied and the above-mentioned arithmetic and program control stores the information on the above-mentioned address bus and the above-mentioned data bus to a lead or the timing which carries out a light. And it is characterized by having a storing means to send out the information on the above-mentioned address bus which the communication link clock generated in the exterior of the microcomputer concerned is supplied, and is stored by supply of this communication link clock, and the above-mentioned data bus to the exterior.

[0004] The above-mentioned arithmetic and program control performs a lead or light of the above-mentioned circumference circuit and information in the standup or falling of a CPU clock supplied. Moreover, a CPU clock is supplied also to the above-mentioned storing means, and the above-mentioned storing means stores the information on the above-mentioned address bus and the above-mentioned data bus to the timing to which the above-mentioned arithmetic and program control performs the above-mentioned lead or a light. On the other hand, when the communication link clock

generated in the exterior of the microcomputer concerned is supplied to the above-mentioned storing means, the above-mentioned storing means sends out the information on the above-mentioned address bus stored in the actuation mentioned above, and the above-mentioned data bus to the exterior. Thus, since the storing means included in the microcomputer concerned stores and sends out an address bus when arithmetic and program control operates, and the information on a data bus with a CPU clock and a communication link clock, the microcomputer concerned acts so that it can observe from the exterior how arithmetic and program control operated inside the microcomputer, without needing a complicated circuit and control. Therefore, the microcomputer concerned acts so that debugging in a site can be easily performed about the microcomputer mounted in the product.

[0005] The received-data terminal which furthermore supplies the external address information and external data information which the microcomputer of this invention is connected to the above-mentioned storing means, and are supplied from the outside to the above-mentioned storing means, It is prepared a bus connection disconnection means to perform connection or separation of the address bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit, and a data bus based on the DMA signal which is established on the above-mentioned semi-conductor substrate, and is supplied from the outside of the microcomputer concerned, and on the above-mentioned semi-conductor substrate. By and supply of the above-mentioned DMA signal It has a DMA processing means to perform Direct-Memory-Access actuation between the above-mentioned storing means and the above-mentioned circumference circuit about the external address information and external data information which are stored in the above-mentioned storing means while connection of an address bus and a data bus is separated with the above-mentioned bus disconnection means. The above-mentioned storing means When the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are connected by the above-mentioned bus connection disconnection means, while performing storing of the information on the above-mentioned address bus and the above-mentioned data bus, and sending out in the exterior of the storing information concerned The above-mentioned external address information and external data information which are supplied through the above-mentioned received-data terminal are stored. When the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are separated by the above-mentioned bus connection disconnection means, the above-mentioned external address information and the above-mentioned external data information which are stored can also be sent out to the above-mentioned DMA means.

[0006] Thus, in addition to the actuation mentioned above, a storing means performs the following actuation further with constituting. That is, when the DMA signal of for example, H (yes) level is supplied from the exterior of a microcomputer, the above-mentioned bus connection disconnection means connects the address bus and data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit. Therefore, the above-mentioned storing means stores the external address information and external data information which are supplied through the above-mentioned received-data terminal while sending out the information on the above-mentioned address bus which stored the information on the above-mentioned address bus and the above-mentioned data bus based on the CPU clock, and was stored by supply of the above-mentioned communication link clock, and the above-mentioned data bus to the exterior, as mentioned above. On the other hand, when the DMA signal of L (low) level is supplied from the exterior of a microcomputer, as for the above-mentioned bus connection disconnection means, the address bus and data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are opened. And the above-mentioned storing means sends out the above-mentioned external address information and external data information which were stored in the actuation mentioned above to the above-mentioned circumference circuit based on the above-mentioned communication link clock. Thus, by equipping with a received-data terminal, a bus connection disconnection means, and a DMA processing means the microcomputer indicated to claim 1, the microcomputer concerned acts so that R/W of the

information on the circumference circuit equipped in a microcomputer can be performed, and it acts so that not only debugging of the program of arithmetic and program control but debugging of a circumference circuit can be performed. Therefore, the microcomputer concerned acts so that debugging in the site of the microcomputer mounted in the product can be performed easily.

[0007] The data input terminal which furthermore supplies the external data information which the microcomputer of this invention is connected to the above-mentioned storing means, and is supplied from the outside to the above-mentioned storing means, A data bus connection disconnection means to perform the connection and the separation of the above-mentioned data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit based on the external instruction enabling signal which is established on the above-mentioned semi-conductor substrate, and is supplied from the outside, It is prepared on the above-mentioned semi-conductor substrate. And an external instruction output means to send out the above-mentioned external data information stored in the above-mentioned storing means based on the above-mentioned external instruction enabling signal while connection of the above-mentioned data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit is separated by the above-mentioned data bus disconnection means to the above-mentioned arithmetic and program control, A preparation and the above-mentioned storing means When the above-mentioned arithmetic and program control and the above-mentioned circumference circuit are connected by the above-mentioned data bus connection disconnection means, while performing storing of the information on the above-mentioned address bus and the above-mentioned data bus, and sending out in the exterior of the storing information concerned The above-mentioned external data information supplied through the above-mentioned data input terminal is stored. When the above-mentioned circumference circuit is separated from the data bus by the above-mentioned data bus connection disconnection means, the stored above-mentioned external data information can be sent out to the above-mentioned data bus, and the above-mentioned arithmetic and program control can also read the above-mentioned external data based on the above-mentioned CPU clock.

[0008] Thus, a storing means performs the following actuation further with constituting. That is, when the external instruction enabling signal of for example, H level is supplied from the exterior of a microcomputer, the above-mentioned data bus connection disconnection means connects the data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit. Therefore, the above-mentioned storing means stores the external data information supplied through the above-mentioned data input terminal while sending out the information on the above-mentioned address bus which stored the information on the above-mentioned address bus and the above-mentioned data bus based on the CPU clock, and was stored by supply of the above-mentioned communication link clock, and the above-mentioned data bus to the exterior, as mentioned above. On the other hand, when the external instruction enabling signal of L level is supplied from the exterior of a microcomputer, as for the above-mentioned data bus connection disconnection means, the data bus between the above-mentioned arithmetic and program control and the above-mentioned circumference circuit is opened. And the above-mentioned storing means sends out the above-mentioned external data information stored in the actuation mentioned above to a data bus, and the above-mentioned arithmetic and program control reads the above-mentioned external data information based on the above-mentioned CPU clock. The microcomputer concerned acts so that the external data information supplied from the outside may be incorporated to arithmetic and program control, and it acts so that debugging in the site of the microcomputer mounted in the product can be performed easily, without needing a complicated circuit and control.

[0009] Furthermore, the microcomputer of this invention can be further equipped with the SYNC signal output terminal by which the above-mentioned arithmetic and program control sends out the SYNC signal which shows the cycle which reads an instruction to the exterior, and the above-mentioned communication link clock can also be sent out to the above-mentioned microcomputer based on the

SYNC signal sent out from the above-mentioned SYNC signal output terminal.

[0010] Since the above-mentioned arithmetic and program control sends out the SYNC signal which shows that it is the cycle which reads the 1st byte of an instruction, a SYNC signal output terminal acts so that the timing which gives instruction information to the above-mentioned arithmetic and program control in the exterior of a microcomputer can be obtained. Therefore, since, as for the microcomputer concerned, the above-mentioned communication link clock is supplied based on the above-mentioned SYNC signal, the above-mentioned external data information acts so that it can incorporate to arithmetic and program control to the above-mentioned timing. Therefore, the microcomputer concerned acts so that debugging in the site of the microcomputer mounted in the product can be performed easily.

[0011] In the debugging equipment with which the debugging equipment of this invention is used for a microcomputer according to claim 1 to 4 The system clock control means which controls supply to the above-mentioned microcomputer of the system clock which is formed in the exterior of the above-mentioned microcomputer and becomes the origin of generation of a CPU clock, Supervise the above-mentioned CPU clock which it is prepared in the exterior of the above-mentioned microcomputer, and the arithmetic and program control in the above-mentioned microcomputer sends out, and the above-mentioned arithmetic and program control leads. It is characterized by having a communication link clock control means to detect having carried out the light and to send out a communication link clock to the above-mentioned arithmetic and program control.

[0012] To the storing means with which a microcomputer according to claim 1 to 4 is equipped, a system clock control means controls supply of the system clock to the above-mentioned microcomputer, and a communication link clock control means sends out a communication link clock to the arithmetic and program control with which the above-mentioned microcomputer is equipped. Thus, as the system clock and the communication link clock were mentioned above by supplying the above-mentioned microcomputer, a storing means sends out the information on the address bus stored when arithmetic and program control operated, and a data bus to the exterior. Therefore, the debugging equipment concerned acts so that debugging in the site of the microcomputer mounted in the product with the configuration which added the easy circuit for a microcomputer can be performed easily.

[0013] Moreover, it may have a reception comparison means in comparison with the setting address information which received the information on the address bus which is established in the exterior of the above-mentioned microcomputer and is sent out from the above-mentioned microcomputer, and a data bus synchronizing with the above-mentioned communication link clock, and set up beforehand the receiving address information concerned and received-data information, and setting data information, and the debugging equipment of this invention may constitute in the above-mentioned system clock control means so that supply of the above-mentioned system clock to the above-mentioned microcomputer may control based on the comparison result in the above-mentioned reception comparison means.

[0014] Thus, with constituting, a reception comparison means receives the information on the address bus sent out from a microcomputer based on the communication link clock which a communication link clock control means sends out, and a data bus synchronizing with the above-mentioned communication link clock. Furthermore, when a reception comparison means compares the receiving address information and received-data information which the **** received with the setting address information and setting data information which were set up beforehand, for example, receiving address information and received-data information are in agreement with setting address information and setting data information, sending out of a system clock is stopped to a system clock control means. Thus, after performing debugging using ICE, a reception comparison means acts so that breaking may be realized, and it acts so that debugging in the site of the microcomputer mounted in the product can be performed easily.

[0015] Moreover, the debugging equipment of this invention is set to the debugging equipment used for a microcomputer according to claim 2. The system clock control means which controls supply to the

above-mentioned microcomputer of the system clock which is formed in the exterior of the above-mentioned microcomputer and becomes the origin of generation of the above-mentioned CPU clock, While being prepared in the exterior of the above-mentioned microcomputer and directing a halt of sending out of the above-mentioned system clock to the above-mentioned system clock control means, a DMA signal is sent out to the above-mentioned microcomputer. After shifting to DMA actuation, the above-mentioned external address information and external data information which are used for DMA actuation are sent out to the received-data terminal with which the above-mentioned microcomputer is equipped. And it is characterized by having the processing control means which receives the print-out of the above-mentioned microcomputer by the above-mentioned DMA actuation.

[0016] As mentioned above, the storing means with which a microcomputer is equipped stores the information on an address bus and a data bus, and sends this out to the exterior. A processing control means performs sending out of external address information or external data information to sending out of a DMA signal, and a pan. A storing means sends out to the exterior the information which wrote information and was further stored to the circumference circuit by the above-mentioned DMA signal, and external address information or external data information, without minding arithmetic and program control as mentioned above. [reading and] Thus, the debugging equipment concerned not only supervises actuation of arithmetic and program control from the outside, but acts so that informational R/W can be directly performed to the above-mentioned circumference circuit, and it acts so that debugging in the site of the microcomputer mounted in the product can be performed easily.

[0017] Moreover, the debugging equipment of this invention is set to the debugging equipment used for a microcomputer according to claim 3. The system clock control means which controls supply to the above-mentioned microcomputer of the system clock which is formed in the exterior of the above-mentioned microcomputer and becomes the origin of generation of a CPU clock, After being prepared in the exterior of the above-mentioned microcomputer and directing a halt of sending out of the above-mentioned system clock to the above-mentioned system clock control means, It is based on the above-mentioned CPU clock. Sending out of the external data information to the above-mentioned microcomputer, And it is characterized by having the processing control means which sends out the external instruction enabling signal which directs incorporation of the above-mentioned external data information to the arithmetic and program control with which the above-mentioned microcomputer is equipped to the above-mentioned microcomputer.

[0018] As mentioned above, the storing means with which a microcomputer is equipped stores the information on an address bus and a data bus, and sends this out to the exterior. A processing control means performs sending out of an external instruction enabling signal, and sending out of external data information. Further, by the above-mentioned external instruction enabling signal and external data information, a storing means sends out the above-mentioned external data information to arithmetic and program control, as mentioned above. Thus, the debugging equipment concerned not only supervises actuation of arithmetic and program control from the outside, but acts so that data information, for example, instruction information, can be directly given from the exterior to arithmetic and program control, and it acts so that debugging in the site of the microcomputer mounted in the product can be performed easily.

[0019] [Example] The microcomputer which is one example of this invention is explained below, referring to drawing. In addition, by this example, a shift register is taken for an example as a component which achieves the same function as the function which a "storing means" has. The microcomputer 20 which has the fundamental configuration of the microcomputer of one example of this invention is shown in drawing 1 . In the microcomputer 20 formed with one semi-conductor substrate CPU (arithmetic and program control)1, CPU1, and the circumference circuit 2 that accesses mutually, The address bus 4 and data bus 5 which connect a shift register 3, and CPU1, the circumference circuit 2 and a shift register 3 mutually, The system clock input terminal 6 with which a system clock is supplied from the

exterior of a microcomputer 20, The frequency divider 7 which carries out dividing of the above-mentioned system clock as a drive clock of CPU1, generates a CPU clock, and sends out this CPU clock to CPU1 and a shift register 3, The CPU clock output terminal 8 for sending out the CPU clock sent out from a frequency divider 7 to CPU1 to the exterior of a microcomputer 20, The transmit data terminal 9 for sending out the print-out of a shift register 3 to the exterior of a microcomputer 20 and the communication link clock input terminal 10 with which a communication link clock is supplied from the exterior of a microcomputer 20 are equipped. In addition, the above-mentioned system clock is supplied also to the circumference circuit 2 besides a frequency divider 7 through the system clock input terminal 6. A shift register 3 stores the address information and data information which are transmitted in an address bus 4 and a data bus 5 according to the above-mentioned CPU clock supplied from a frequency divider 7, and on the other hand, when a communication link clock is supplied from the exterior through the communication link clock input terminal 10, it sends out the above-mentioned address information and data information which were stored to the exterior of a microcomputer 20 through the transmit data terminal 9 synchronizing with the above-mentioned communication link clock. [0020] Thus, actuation of the microcomputer 20 constituted is explained below with reference to drawing 2. Reading and CPU1 write information on the circumference circuit 2 in falling 11a of the CPU clock 11. Moreover, the address information 12 and data information 13 of the address bus 4 in falling 11a of the CPU clock 11 with which reading and CPU1 write information in the circumference circuit 2, and a data bus 5 are written in a shift register 3. In addition, when reading and CPU1 write in the standup of the CPU clock 11, a shift register 3 incorporates address information and data information in the standup of the CPU clock 11. Then, synchronizing with the communication link clock 14, 1 bits of the address information 12 and data information 13 which were incorporated by the shift register 3 are sent out at a time from the transmit data terminal 9 as transmit data 15 in the exterior of a microcomputer 20 by supplying the communication link clock 14 to the communication link clock input terminal 10 from the exterior of a microcomputer 20.

[0021] Thus, according to the microcomputer 20, since a shift register 3 stores the address bus 4 when CPU1 operates, and the information on a data bus 5 with the CPU clock 11 and the communication link clock 14 sends out, the microcomputer 20 concerned can observe from the outside how CPU1 operated inside the microcomputer, without needing a complicated circuit and control. Therefore, debugging in the site of the microcomputer mounted in the product can perform the microcomputer 20 concerned easily.

[0022] Next, the microcomputer 40 which are other examples is explained below with reference to drawing 3 and drawing 4. In addition, in drawing 3 and drawing 4, the sign same about the same thing as the component shown in drawing 1 and drawing 2 is attached, and explanation is omitted. In addition to the configuration of the microcomputer 20 mentioned above, a microcomputer 40 is further equipped with the bus connection disconnection means 25, the DMA processing means 26, the DMA authorization terminal 27 with which a DMA signal is supplied from the exterior of a microcomputer 40, and the received-data terminal 28. Moreover, a microcomputer 40 is replaced with a shift register 3, and has a shift register 29. The bus connection disconnection means 25 is formed in the address bus 4 and data bus 5 between CPU1, the circumference circuit 2, and a shift register 29, and the connection with CPU1, an address bus 4, and a data bus 5 and separation are performed according to the DMA signal supplied through the DMA authorization terminal 27 from the exterior. A shift register 29 also stores the bit data of a R/W signal in which the informational lead or the light actuation other than address information 12 and data information 13 is shown. The DMA processing means 26 is connected to the output side of a shift register 29, and the output of the DMA processing means 26 is connected to an address bus 4 and a data bus 5, respectively.

[0023] These bus connection disconnection means 25, a shift register 29, and the DMA processing means 26 operate as follows. When the DMA signal supplied to a microcomputer 40 is for example, H level, the bus connection disconnection means 25 connects CPU1, the circumference circuit 2, and a shift register 29. Therefore, like actuation of a shift register 3, a shift register 29 stores the address

information 12 of an address bus 4, and the data information 13 of a data bus 5 in falling 11a of the CPU clock 11, and also the R/W signal which CPU1 sends out stores it. Furthermore, when a DMA signal is for example, H level, a shift register 29 is that the communication link clock 14 is supplied through the communication link clock input terminal 10 from the exterior, and while it sends out the stored address information 12 grade to the 1-bit **** transmit data terminal 9, it incorporates the external information supplied through the received-data terminal 28 from the exterior, i.e., external address information, external data information, and an external R/W signal. On the other hand, if the DMA signal of L level is supplied, the bus connection disconnection means 25 will separate CPU1, an address bus 4, and a data bus 5, and will write the DMA processing means 26 with the circumference circuit 2 through an address bus 4 and a data bus 5 based on the communication link clock 14 about the external address information, the external data information, and the external R/W signal which are stored in the shift register 29.
[reading and]

[0024] Thus, actuation of the microcomputer 40 constituted is explained. In the timing chart of a microcomputer 40 of operation shown in drawing 4, when the DMA signal of H level is supplied, the condition of the address bus 4 and data bus 5 in falling 11a and R/W signal of the CPU clock 11 are incorporated by the shift register 29. And received data 30 are incorporated to a shift register 29 at the same time it will output from a microcomputer 40 by using as transmit data 15 the address bus information 12 incorporated to the shift register 29, the data bus information 13, and a R/W signal, if the communication link clock 14 is supplied.

[0025] Next, if the DMA signal of L level is supplied through the DMA authorization terminal 27, CPU1 will be separated from an address bus 4 and a data bus 5 by the bus connection disconnection means 25. When the bit data of a R/W signal are "1" among the received data 30 incorporated from the exterior to the shift register 29, the DMA processing means 26 outputs the external address information stored in the shift register 29 to an address bus 4 by 1 clock eye of the communication link clock 14, is 2 clock eye and incorporates the data information read from the circumference circuit 2 in the above-mentioned external address information to a shift register 29. When the bit data of the above-mentioned R/W signal are "0", the DMA processing means 26 writes in data information which the shift register 29 was supplied from the outside and stored in it in the circumference circuit 2 by outputting the external address information and external data information which are stored in the shift register 29 by 1 clock eye of the communication link clock 14 to an address bus 4 and a data bus 5, making a R/W signal into L level by 2 clock eye; and making a R/W signal into H level by 3 clock eye. Next, it returns to the condition before CPU1 is again connected with the circumference circuit 2 and the DMA signal of L level is supplied by the bus connection disconnection means 25 by the DMA signal of H level being supplied. If the communication link clock 14 is supplied here, the data which were read from the circumference circuit 2 in the DMA processing section 26, and were stored in the shift register 29 will be sent out through the transmit data terminal 9 outside from a shift register 29.

[0026] Thus, according to the microcomputer 40, information on the circumference circuit 2 equipped in a microcomputer 40 can be written, and not only debugging of the program of CPU1 but debugging of the circumference circuit 2 can be performed. Therefore, the microcomputer 40 concerned can perform easily debugging in the site of the microcomputer mounted in the product.

[0027] Furthermore, the microcomputer 60 which are other examples is explained below with reference to drawing 5 and **6**. In addition, in drawing 5 and drawing 6, the sign same about the same component as the component shown in drawing 1 thru/or drawing 4 is attached, and the explanation is omitted. the configuration of the microcomputer 20 which mentioned above in a microcomputer 60 — in addition, it has further a data bus connection disconnection means 41, an external instruction output means 43, the external instruction authorization terminal 44 with which the external instruction enabling signal 51 is supplied from the exterior of a microcomputer 60, the data input terminal 45 with which external data information is supplied from the above-mentioned exterior, and the SYNC output terminal 46 which send out SYNC signal 52 which shows the cycle into which CPU1 reads an instruction to the

above-mentioned exterior. Moreover, a microcomputer 60 is replaced with a shift register 3, and is equipped with a shift register 42. A shift register 42 stores the external data information supplied through the data input terminal 45 from the exterior, or sends out storing information on storing and the transmit data terminal 9 of the information on an address bus 4 and a data bus 5. The above-mentioned external instruction enabling signal 51 is supplied to the data bus connection disconnection means 41 through the external instruction authorization terminal 44 from the exterior, and the data bus connection disconnection means 41 carries out connection and separation of the data bus 5 between CPU1 and the circumference circuit 2 to it based on the external instruction enabling signal 51. It connects with the output side of a shift register 42, and the external instruction output means 43 sends out the data information which a shift register 42 sends out to a data bus 5 based on the external instruction enabling signal 51.

[0028] Thus, actuation of the microcomputer 60 constituted is explained below. In addition, in this example, the instruction information supplied to CPU1 is taken for an example as the above-mentioned external data information. When the external instruction enabling signal 51 of H level is supplied through the external instruction authorization terminal 44, the condition of an address bus 4 and a data bus 5 is incorporated by the shift register 42 in falling 11a of the CPU clock 11, and 1 bit of information stored in the shift register 42 is sent out at a time through the transmit data terminal 9 by supplying the communication link clock 14 to a microcomputer 60 outside. Moreover, synchronizing with the communication link clock 14, 1 bit of external data information 53 supplied through the data input terminal 45 from the exterior is incorporated at a time by the shift register 42 at this time.

[0029] If external instruction enabling-signal 51a of L level is supplied, the circumference circuit 2 is separated from a data bus 5, and the external instruction output means 43 sends out the data which a shift register 42 sends out to a data bus 5. In this condition, CPU1 reads as an instruction the external data information supplied to the shift register 42 from the data which the external instruction output means 43 sent out to the data bus 5, i.e., the exterior, by falling 11b of the CPU clock 11. Moreover, SYNC signal 52 which shows that CPU1 is the cycle which reads the 1st byte of an instruction is sent out through the SYNC output terminal 46 outside from CPU1. Under supervising this SYNC signal 52 in the exterior of a microcomputer 60, the timing which gives instruction information to a microcomputer 60 can be obtained.

[0030] The case where the instruction which writes the data of a shift register 42 in a certain address on the assumption that the actuation mentioned above is performed is taken for an example, and actuation of a microcomputer 60 is more concretely explained with reference to drawing 6. As mentioned above, when the above-mentioned external data information is supplied to CPU1 as an instruction and CPU1 executes this instruction, CPU1 writes data in the address with which SYNC signal 52 read the instruction by 1 clock eye of the CPU clock of H level, read the address by 2 clock eye, and was specified by 3 clock eye. In addition, to drawing 6, only a part for the time amount corresponding to one instruction is indicated. SYNC signal 52 is set to H level by falling 11a of the CPU clock 11 in activation of the above-mentioned instruction. Therefore, under supervising this SYNC signal 52 externally, it can supervise from the outside that CPU1 is the cycle which reads the 1st byte of an instruction. If the communication link clock 14 is supplied to a microcomputer 60 at this time, the information in an address bus and a data bus when reading and CPU write in falling of the CPU clock 11 will be sent out from the transmit data terminal 9 outside. Next, if the communication link clock 14 is supplied, 1 bit of external data information will be incorporated at a time by the shift register 42 through the data input terminal 45 from the exterior.

[0031] If external instruction enabling-signal 51a of L level is supplied, the external instruction output means 43 will send out the storing data of a shift register 42 to a data bus 5, and if the CPU clock 11 falls, CPU1 will read the above-mentioned storing data in a data bus 5 as an instruction. The instruction of the 2nd byte is made to read into CPU1 in falling of the following CPU clock 11 similarly. If 3 clock eye is then supplied, CPU1 will execute the instruction read by 1 clock eye and 2 clock eye in falling of

3 clock eye. When the back communication link clock 14 is supplied to a microcomputer 60, as a result of being the information on the result which CPU1 performed, information is sent out from the transmit data terminal 9 outside.

[0032] Thus, according to the microcomputer 60, external data information can be supplied as an instruction to CPU1 from the exterior, and further, as a result of CPU's1 performing based on this supplied external data information, information can be sent out to the exterior from a shift register 42. Therefore, compared with the microcomputer 40 mentioned above, still more advanced debugging can be performed by still easier structure and easy control.

[0033] Next, the debugging equipment for debugging each microcomputer mentioned above is explained. The microcomputers 20, 40, and 60 which mentioned above the microcomputer shown in drawing 7 correspond. In addition, on behalf of these microcomputers, a microcomputer 20 is taken for an example on explanation. The system clock control means 81 which is connected with the system clock input terminal 6 prepared in a microcomputer 20, and controls sending out of the system clock in a microcomputer 20 to the debugging equipment 80 of this example. It connects with the CPU clock output terminal 8 and the communication link clock input terminal 10 which are prepared in a microcomputer 20. Falling is supervised and CPU1 is equipped with a lead and a communication link clock control means 82 to detect having carried out the light and to send out a communication link clock to the communication link clock input terminal 10 of the CPU clock sent out from the CPU clock output terminal 8. In addition, as for a system clock, the frequency is set up by the operator.

[0034] Thus, actuation of the debugging equipment 80 constituted is explained. CPU1 of a microcomputer 20 operates with the CPU clock which dividing of the system clock supplied from the system clock control means 81 is carried out in a frequency divider 7, and is obtained, and the above-mentioned CPU clock is supplied to the communication link clock control means 82 through the CPU clock output terminal 8. The communication link clock control means 82 detects falling of a CPU clock, and sends out the communication link clock for sending out the data information which the address bus 4 to a shift register 3 and the data information of a data bus 5 stored and stored from a shift register 3 outside to a microcomputer 20. Thus, debugging equipment 80 only adds the easy circuit for a microcomputer, and makes it possible to do easily the debugging activity in the site of the microcomputer mounted in the product.

[0035] Moreover, debugging equipment 87 can also consist of adding the receiving means 83 and an address bus, and the data bus monitor means 84 to the configuration of the debugging equipment 80 mentioned above further, as shown in drawing 7. In addition, the receiving means 83 is connected to the commo data terminal 9 prepared in the communication link clock control means 82 and a microcomputer 20. An address bus and the data bus monitor means 84 are connected with the communication link clock control means 82, the receiving means 83, and the system clock control means 81. In addition, let the receiving means 83 and an address bus, and the data bus monitor means 84 be reception comparison means collectively.

[0036] Thus, actuation of the debugging equipment 87 constituted is explained. The communication link clock control means 82 detects that falling of a CPU clock mentioned above, and a communication link clock is sent out to a microcomputer 20. The receiving means 83 receives the information on the address bus 4 sent out through the transmit data terminal 9 synchronizing with a communication link clock from the shift register 3 of a microcomputer 20, and a data bus 5, and sends out this received information to an address bus and the data bus monitor means 84. On the other hand, the communication link clock control means 82 will notify commo data reception termination to an address bus and the data bus monitor means 84, if it judges having received all data at counting the number of clocks of the communication link clock supplied to a microcomputer 20. An address bus and the data bus monitor means 84 are that the above-mentioned commo data reception termination is supplied, and the information on the address bus 4 supplied from the receiving means 83 and a data bus 5 confirms whether to go into an address bus and the data bus monitor means 84 in accordance with the breaking

conditions set up beforehand by the operator. And when in agreement with the above-mentioned breaking conditions, an address bus and the data bus monitor means 84 direct a halt of a system clock to the system clock control means 81.

[0037] Thus, debugging equipment 87 can realize breaking, after performing debugging of a microcomputer using ICE. Therefore, by using debugging equipment 87, debugging in the site of the microcomputer mounted in the product can be performed easily.

[0038] Semiconductor memory 91 is connected to the communication link clock control means 82 and the receiving means 83, and you may make it connect to memory 91 the display 92 as a storage means which displays the contents of memory 91 in visible further again, as shown in drawing 8. In addition, the same sign is attached about the same component as the component shown in drawing 7 in drawing 8. Thus, since the information which could memorize the storing information on a shift register 3 sent out from the microcomputer 20 in memory 91, and was further memorized by memory 91 with constituting can be displayed with a display 92, it is observable in visible how CPU1 operated. Therefore, debugging in the site of the microcomputer mounted in the product can be performed easily.

[0039] The debugging equipment of the example of further others is explained. The debugging equipment 100 grade used for the microcomputer 40 mentioned above is shown in drawing 9. In addition, the sign same about the same component as the component shown in drawing 7 and drawing 8 in drawing 9 is attached, and the explanation is omitted. Debugging equipment 100 is equipped with the system clock control means 81, the 2nd control means 101 of a communication link clock, the processing means 102, the transmitting means 103, and the receiving means 104. In addition, a processing control means consists of the 2nd control means 101 of a communication link clock, a processing means 102, a transmitting means 103, and a receiving means 104. It connects with the CPU clock output terminal 8 prepared in a microcomputer 40, the DMA authorization terminal 27, and the communication link clock input terminal 10, and the processing means 102 is connected also to the transmitting means 103. The transmitting means 103 is connected to the received-data terminal 28 prepared in a microcomputer 40. The receiving means 104 is connected to the transmit data terminal 9 of a microcomputer 40. Moreover, the 2nd control means 101 of a communication link clock is connected to the communication link clock input terminal 10, the transmitting means 103, and the receiving means 104 of a microcomputer 40. Moreover, the indicating equipment 92 linked to the memory 91 linked to the receiving means 104 and memory 91 can be formed in the configuration of debugging equipment 100, and debugging equipment 110 can also be constituted in it.

[0040] Thus, actuation of the debugging equipment 100,110 constituted is explained below. In the usual debugging actuation to which DMA actuation is not made to carry out to a microcomputer 40, debugging equipment 100 grade operates as follows. That is, the CPU clock which a microcomputer 40 sends out is supplied to the processing means 102, if the processing means 102 detects falling of a CPU clock, reception initiation is directed to the 2nd control means 101 of a communication link clock, a communication link clock is sent out to a microcomputer 40, and the 2nd control means 101 of a communication link clock sends out the information on an address bus 4 and a data bus 5 to the receiving means 104 through the transmit data terminal 9 from the shift register 29 with which a microcomputer 40 is equipped. The 2nd control means 101 of a communication link clock counts the number of clocks of the clock supplied to the communication link clock input terminal 10, and if it detects having finished receiving all data, it will perform the data storage which received in the memory 91 which is a store. Furthermore, the information memorized by memory 91 can observe how CPU1 of a microcomputer 40 operated with outputting to the output unit of display 92 grade.

[0041] In making DMA actuation perform to a microcomputer 40 and reading immediate data from the circumference circuit 2 of a microcomputer 40, the processing means 102 makes the system clock control means 81 stop a system clock, sends out directions and external address information of read-out of CPU1 for a stop and the transmitting means 103, and directs transmission of external data information to the 2nd control means 101 of a communication link clock. In addition, the above-

mentioned external address information and external data information are supplied to the processing means 102 by the operator. The storing data of a shift register 29 are made to read to the DMA processing means 26 of a microcomputer 40 by the processing means 102 sending out the DMA signal of L level to a microcomputer 40, and sending out a communication link clock to the direct microcomputer 40 after transmitting termination. next, the processing means 102 directs the reception of data information which carried out [above-mentioned] reading appearance to the 2nd control means 101 of a communication link clock so that it may send out the DMA signal of H level to a microcomputer 40 and may send out the data information read from the shift register 29 to the exterior of a microcomputer 40. Therefore, from the data information received through the receiving means 104, the data information read from the circumference circuit 2 in a microcomputer 40 can be known, and it can debug easily.

[0042] Moreover, in writing external data information in the circumference circuit 2 of a microcomputer 40 directly, the processing means 102 makes the system clock control means 81 stop sending out of a system clock, sends out external address information and external data information to the directions list of writing of actuation of CPU1 of a microcomputer 40 for a stop and the transmitting means 103, and directs sending out of the communication link clock for data transmission to the 2nd control means 101 of a communication link clock. The external data information to the circumference circuit 2 is made to write in the DMA processing means 26 of a microcomputer 40 by the processing means 102 sending out the DMA signal of L level, and sending out a communication link clock to the direct microcomputer 40 after transmitting termination. Next, the processing means 102 ends sending processing for the DMA signal of H level.

[0043] Thus, since according to the debugging equipment 100 grade the monitor of the actuation of CPU can be carried out from the outside by sending out the storing information on a shift register 29 to the exterior of a microcomputer and DMA actuation can be made to perform to a microcomputer further, direct information can be written from the exterior of a microcomputer to the circumference circuit 2 in a microcomputer. Therefore, debugging equipment 100 grade can also perform debugging of the above-mentioned circumference circuit while making it possible to perform more easily debugging actuation in the site of the microcomputer mounted in the product.

[0044] The debugging equipment of the example of further others is explained. The debugging equipment 120 used for the microcomputer 60 mentioned above is shown in drawing 10 . In addition, the sign same about the same component as the component shown in drawing 9 in drawing 10 is attached, and the explanation is omitted. In debugging equipment 120, it replaces with the processing means 102 explained with reference to drawing 9 , and has the processing means 121. Other configurations are the same as the debugging equipment 110 mentioned above. In addition, it is desirable to consist of the 2nd control means 101 of a communication link clock, a processing means 121, and a transmitting means 103 at least, and to add the receiving means 104 further as a processing control means. Moreover, the processing means 121 is connected with the external instruction authorization terminal 44, the SYNC output terminal 46, and the CPU clock output terminal 8 which are prepared in a microcomputer 60.

[0045] Thus, actuation of the debugging equipment 120 constituted is explained. In the usual debugging actuation which does not supply an instruction from the exterior to a microcomputer 60, debugging equipment 120 operates as follows like the debugging equipment 110 mentioned above. That is, the CPU clock which a microcomputer 60 sends out is supplied to the processing means 102, if the processing means 102 detects falling of a CPU clock, reception initiation is directed to the 2nd control means 101 of a communication link clock, a communication link clock is sent out to a microcomputer 60, and the 2nd control means 101 of a communication link clock sends out the information on an address bus 4 and a data bus 5 to the receiving means 104 through the transmit data terminal 9 from the shift register 42 with which a microcomputer 60 is equipped. The 2nd control means 101 of a communication link clock counts the number of clocks of the clock supplied to the communication link clock input terminal 10, and if it detects having finished receiving all data, it will perform the data storage which received in the

memory 91 which is a store. Furthermore, the information memorized by memory 91 can observe how CPU1 of a microcomputer 40 operated with outputting to the output unit of display 92 grade.

[0046] If the processing means 121 detects the standup of a CPU clock when making a microcomputer 60 execute the instruction from the outside, and a SYNC signal is H level, the processing means 121 will make the system clock control means 81 stop sending out of a system clock, and will stop CPU1 of a microcomputer 60. Furthermore, the processing means 121 sends out instruction code to the transmitting means 103, sends out a communication link clock from the 2nd control means 101 of a communication link clock to a microcomputer 60, and transmits the above-mentioned instruction code to a microcomputer 60.

[0047] After transmitting termination of the above-mentioned instruction code, the processing means 121 sends out the external instruction enabling signal of L level, and after it makes actuation to falling of a CPU clock carry out to the system clock control means 81 and CPU1 of a microcomputer 60 reads the above-mentioned instruction code, it sends out the external instruction enabling signal of H level. When the instruction which CPU1 is made to execute consists of two or more bytes The processing means 121 operates a system clock till the next standup of a CPU clock to the system clock control means 81. The 2nd byte next to instruction code is sent out to the transmitting means 103, and transmission, sending out of the external instruction enabling signal of L level, supply of the system clock to the fall of a CPU clock, and a series of actuation of sending out of the external instruction enabling signal of H level are made to perform like the 1st byte of instruction code. When CPU1 executes an instruction with the following CPU clock, a system clock is sent out for an external instruction enabling signal to a microcomputer 60 to the standup of the following CPU clock with H level. If the instruction which CPU1 was made to execute is read-out, the receiving means 104 will perform data reception from a microcomputer 60 by sending out a communication link clock to a microcomputer 60 from the 2nd control means 101 of a communication link clock. Therefore, data are receivable as a result of being the result of CPU1 operating according to the supplied external instruction from the outside.

[0048] Thus, according to debugging equipment 120, the monitor of the actuation of the microcomputer CPU can be carried out from the outside also about the microcomputer after mounting in a product, and advanced debugging comparable as ICE can be further performed easily by supplying an instruction to Above CPU from the exterior.

[0049] Moreover, in the debugging equipment 120 mentioned above, it can also constitute as follows. It is made to incorporate the address bus 4 of shift register 42 HE of a microcomputer 60, and information on a data bus 5 not only in falling of a CPU clock but in both a standup and falling. By carrying out like this, the result of the R/W which CPU1 performed in falling of a CPU clock is incorporated by the shift register 42, and the address which current [CPU / 1] is outputting is incorporated by the shift register 42 in the standup of a CPU clock. Therefore, by reading the address of a shift register 42 after the standup of a CPU clock, when in agreement with the address with which this read address takes a break, the processing means 121 can stop sending out of a system clock to the system clock control means 81. Therefore, before CPU1 performs in the address, it can take a break. In addition, drawing 11 shows the timing in the case of performing breaking before activation mentioned above.

[0050] Moreover, in the debugging equipment 120 mentioned above, as shown in drawing 12, the 2nd memory 130 which memorizes the instruction performed with the processing means 121 is also connectable with the processing means 121. The program memorized in the 2nd memory 130 by adding such 2nd memory 130 while having performed the program of the microcomputer 60 interior can also be performed. Therefore, also in the microcomputer after mounting in a product, program modification and debugging can be performed easily.

[0051]

[Effect of the Invention] As explained in full detail above, according to the microcomputer according to claim 1, a storing means can observe from the outside how CPU operated inside the microcomputer

from storing an address bus when CPU operates, and the information on a data bus, and sending out to the exterior, without needing a complicated circuit and control. Therefore, the microcomputer concerned can perform debugging in a site easily about the microcomputer mounted in the product. Moreover, according to the microcomputer according to claim 2, since DMA actuation can be performed, information on the circumference circuit equipped in a microcomputer can be written, and not only CPU in the microcomputer concerned but debugging of the above-mentioned circumference circuit can be performed. Therefore, the microcomputer concerned can perform debugging in a site easily about the microcomputer mounted in the product. Moreover, according to the microcomputer according to claim 3, based on the above-mentioned external data information, CPU can be operated from making external data information store in a storing means using an external instruction enabling signal, and having sent out the above-mentioned external data information to CPU. Therefore, the microcomputer concerned can perform debugging in a site easily about the microcomputer mounted in the product. Moreover, according to the microcomputer according to claim 4, the timing which gives instruction information to the microcomputer CPU concerned can be obtained from the exterior of the microcomputer concerned by sending out a SYNC signal. Therefore, the microcomputer concerned can perform debugging in a site easily about the microcomputer mounted in the product. Moreover, according to debugging equipment according to claim 5, a storing means can perform storing of data, and sending out from having had the system clock control means which controls supply of the system clock to a microcomputer, and a communication link clock control means to send out a communication link clock to a microcomputer. Therefore, the debugging equipment concerned makes it possible to perform debugging in a site easily about the microcomputer mounted in the product. Moreover, according to debugging equipment according to claim 8, reading and a storing means can write information to the circumference circuit with which a microcomputer is equipped, without minding CPU from having had the processing control means which performs sending out of a DMA signal, external address information, and external data information. Therefore, the debugging equipment concerned makes it possible to perform debugging in a site easily about the microcomputer mounted in the product. Moreover, according to debugging equipment according to claim 10, CPU with which a microcomputer is equipped can be operated in external data information from having had the processing control means which performs sending out of an external instruction enabling signal and external data information. Therefore, the debugging equipment concerned makes it possible to perform debugging in a site easily about the microcomputer mounted in the product.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the example of 1 configuration of the microcomputer which is one example of this invention.

[Drawing 2] It is a timing chart for explaining actuation of the microcomputer shown in drawing 1.

[Drawing 3] It is the block diagram showing other examples of a configuration of the microcomputer which is one example of this invention.

[Drawing 4] It is a timing chart for explaining actuation of the microcomputer shown in drawing 3.

[Drawing 5] It is the block diagram showing another example of a configuration of the microcomputer which is one example of this invention.

[Drawing 6] It is a timing chart for explaining actuation of the microcomputer shown in drawing 5.

[Drawing 7] It is the block diagram showing the example of 1 configuration of the debugging equipment which is one example of this invention.

[Drawing 8] It is the block diagram showing other examples of a configuration of the debugging equipment which is one example of this invention.

[Drawing 9] It is the block diagram showing another example of a configuration of the debugging equipment which is one example of this invention.

[Drawing 10] It is the block diagram showing the example of a configuration of further others of the debugging equipment which is one example of this invention.

[Drawing 11] It is a timing chart for explaining actuation of the debugging equipment shown in drawing 10.

[Drawing 12] It is the block diagram showing still more nearly another example of a configuration of the debugging equipment which is one example of this invention.

[Description of Notations]:

1 [— Address bus,] — CPU, 2 — A circumference circuit, 3 — A shift register, 4 5 [— CPU clock output terminal,] — A data bus, 6 — A system clock input terminal, 7 — A frequency divider, 8 9 — A transmit data terminal, 10 — A communication link clock input terminal, 11 — CPU clock, 14 — A communication link clock, 20 — A microcomputer, 25 — Bus connection disconnection means, 26 — A DMA processing means, 27 — A DMA authorization terminal, 28 — Received data terminal, 29 — A shift register, 30 — Received data, 40 — Microcomputer, 41 — A data bus connection disconnection means, 42 — A shift register, 43 — External instruction output means, 44 — An external instruction authorization terminal, 45 — A data input terminal, 46 — SYNC output terminal, 51 — An external instruction enabling signal, 52 — A SYNC signal, 53 — External data information, 60 — A microcomputer, 80 — Debugging equipment, 81 — System clock control means, 82 — A communication link clock control means, 83 — A receiving means, 84 — Address bus, A data bus monitor means, 87 — Debugging equipment, 91 — Memory, 92 — Display, 100 [— A transmitting means, 104 / — A receiving means, 110 / — Debugging equipment, 120 / — Debugging equipment, 121 / — A processing means, 130 / — The 2nd memory.] — Debugging equipment, 101 — The 2nd control means of a communication link clock, 102 — A processing means, 103

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-292898

(43) 公開日 平成8年(1996)11月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/28 15/78	5 1 0	7313-5B	G 0 6 F 11/28 15/78	L 5 1 0 K

審査請求 未請求 請求項の数13 O L (全 15 頁)

(21) 出願番号 特願平7-98379

(22) 出願日 平成7年(1995)4月24日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 中川 昌彦

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

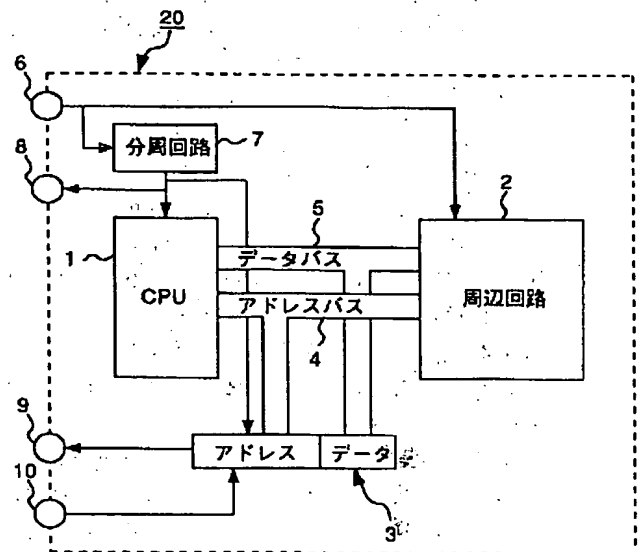
(74) 代理人 弁理士 青山 稔 (外2名)

(54) 【発明の名称】 マイクロコンピュータ及びデバッグ装置

(57) 【要約】

【目的】 製品実装後のマイクロコンピュータを現場で容易にデバッグを行う。

【構成】 CPUクロックが供給されCPUが読み書きするタイミングにてアドレスバス4、データバス5の情報を格納し、かつ外部から供給される通信クロックにて格納した情報をマイクロコンピュータの外部へ送出する格納手段3を備えた。



(2)

【特許請求の範囲】

【請求項1】 CPUクロックにて駆動される中央演算処理装置と、上記中央演算処理装置に接続される周辺回路と、上記中央演算処理装置と上記周辺回路とを接続するアドレスバス及びデータバスとを単一半導体基板上に有したマイクロコンピュータであつて、

上記半導体基板上にて上記アドレスバス及びデータバスに接続され、かつ上記CPUクロックが供給され上記中央演算処理装置がリード又はライトするタイミングにて上記アドレスバス及び上記データバスの情報を格納し、かつ当該マイクロコンピュータの外部にて発生する通信クロックが供給され該通信クロックの供給によって格納している上記アドレスバス及び上記データバスの情報を外部へ送出する格納手段を備えたことを特徴とするマイクロコンピュータ。

【請求項2】 上記格納手段に接続され外部から供給される外部アドレス情報及び外部データ情報を上記格納手段へ供給する受信データ端子と、

上記半導体基板上に設けられ、かつ当該マイクロコンピュータの外部から供給されるDMA信号に基づき上記中央演算処理装置と上記周辺回路との間のアドレスバス及びデータバスの接続又は切り放しを行うバス接続開放手段と、

上記半導体基板上に設けられ、かつ上記DMA信号の供給により上記バス開放手段にてアドレスバス及びデータバスの接続が切り放されている間上記格納手段に格納されている外部アドレス情報及び外部データ情報について上記格納手段と上記周辺回路との間でダイレクトメモリアクセス動作を行うDMA処理手段と、を備え、

上記格納手段は、上記バス接続開放手段により上記中央演算処理装置と上記周辺回路とが接続されている場合には上記アドレスバス及び上記データバスの情報の格納及び当該格納情報の外部への送出を行うとともに上記受信データ端子を介して供給される上記外部アドレス情報及び外部データ情報を格納し、上記バス接続開放手段により上記中央演算処理装置と上記周辺回路とが切り放されている場合には格納している上記外部アドレス情報及び上記外部データ情報を上記DMA手段へ送出する、請求項1記載のマイクロコンピュータ。

【請求項3】 上記格納手段に接続され外部から供給される外部データ情報を上記格納手段へ供給するデータ入力端子と、

上記半導体基板上に設けられ、かつ外部から供給される外部命令許可信号に基づき上記中央演算処理装置と上記周辺回路との間の上記データバスの接続及び切り放しを行うデータバス接続開放手段と、

上記半導体基板上に設けられ、かつ上記データバス開放手段により上記中央演算処理装置と上記周辺回路との間の上記データバスの接続が切り放されている間上記外部命令許可信号に基づき上記格納手段に格納されている上

記外部データ情報を上記中央演算処理装置へ送出する外部命令出力手段と、を備え、

上記格納手段は、上記データバス接続開放手段により上記中央演算処理装置と上記周辺回路とが接続されている場合には上記アドレスバス及び上記データバスの情報の格納及び当該格納情報の外部への送出を行うとともに上記データ入力端子を介して供給される上記外部データ情報を格納し、上記データバス接続開放手段により上記周辺回路がデータバスから切り放されている場合には格納している上記外部データ情報を上記データバスへ送出し上記中央演算処理装置は上記CPUクロックに基づき上記外部データを読み込む、請求項1記載のマイクロコンピュータ。

【請求項4】 上記中央演算処理装置が命令を読み込むサイクルを示すSYNC信号を外部へ送出するSYNC信号出力端子をさらに備え、

上記通信クロックは上記SYNC信号出力端子から送出されたSYNC信号に基づき上記マイクロコンピュータへ送出される、請求項3記載のマイクロコンピュータ。

【請求項5】 請求項1ないし4のいずれかに記載のマイクロコンピュータに使用されるデバッグ装置において、

上記マイクロコンピュータの外部に設けられCPUクロックの生成の元となるシステムクロックの上記マイクロコンピュータへの供給を制御するシステムクロック制御手段と、

上記マイクロコンピュータの外部に設けられ上記マイクロコンピュータ内の中央演算処理装置が送出する上記CPUクロックの監視を行い上記中央演算処理装置がリード、ライトしたことを検知して通信クロックを上記中央演算処理装置へ送出する通信クロック制御手段と、を備えたことを特徴とするデバッグ装置。

【請求項6】 上記マイクロコンピュータの外部に設けられ上記マイクロコンピュータから送出されるアドレスバス及びデータバスの情報を上記通信クロックに同期して受信し当該受信アドレス情報及び受信データ情報を予め設定した設定アドレス情報及び設定データ情報と比較する受信比較手段を備え、

上記システムクロック制御手段は、上記受信比較手段における比較結果に基づき上記マイクロコンピュータへの上記システムクロックの供給を制御する、請求項5記載のデバッグ装置。

【請求項7】 上記受信比較手段に接続され上記受信アドレス情報及び受信データ情報を上記CPUクロック毎に記憶する記憶手段と、

上記マイクロコンピュータの外部に設けられ上記記憶手段に記憶された情報を可視的に表示する表示装置と、を備えた、請求項6記載のデバッグ装置。

【請求項8】 請求項2記載のマイクロコンピュータに使用されるデバッグ装置において、

(3)

3

上記マイクロコンピュータの外部に設けられ上記CPUクロックの生成の元となるシステムクロックの上記マイクロコンピュータへの供給を制御するシステムクロック制御手段と、

上記マイクロコンピュータの外部に設けられ上記システムクロック制御手段へ上記システムクロックの送出の停止を指示するとともにDMA信号を上記マイクロコンピュータへ送出し、DMA動作への移行後はDMA動作に使用する上記外部アドレス情報及び外部データ情報を上記マイクロコンピュータに備わる受信データ端子へ送出し、かつ上記DMA動作による上記マイクロコンピュータの出力情報を受信する処理制御手段と、を備えたことを特徴とするデバッグ装置。

【請求項9】 上記マイクロコンピュータの外部に設けられ上記処理制御手段に接続され上記出力情報を記憶する記憶手段と、

上記マイクロコンピュータの外部に設けられ上記記憶手段に記憶された情報を可視的に表示する表示装置と、を備えた、請求項8記載のデバッグ装置。

【請求項10】 請求項3記載のマイクロコンピュータ 20 に使用されるデバッグ装置において、

上記マイクロコンピュータの外部に設けられCPUクロックの生成の元となるシステムクロックの上記マイクロコンピュータへの供給を制御するシステムクロック制御手段と、

上記マイクロコンピュータの外部に設けられ上記システムクロック制御手段へ上記システムクロックの送出の停止を指示した後、上記CPUクロックに基づき上記マイクロコンピュータへの外部データ情報の送出、及び上記マイクロコンピュータに備わる中央演算処理装置への上記外部データ情報の取り込みを指示する外部命令許可信号を上記マイクロコンピュータへ送出する処理制御手段と、を備えたことを特徴とするデバッグ装置。

【請求項11】 上記処理制御手段は、上記中央演算処理装置が上記外部データ情報を実行した後上記マイクロコンピュータが送出する出力情報を受信する受信手段を備え、

上記受信手段に接続され上記出力情報を記憶する記憶手段と、

上記マイクロコンピュータの外部に設けられ上記記憶手段に記憶された情報を可視的に表示する表示装置と、を備えた、請求項10記載のデバッグ装置。

【請求項12】 上記処理制御手段に接続され上記中央演算処理装置に実行させる命令情報を上記外部データ情報として格納する第2記憶手段を備え、上記処理制御手段から上記外部命令許可信号が供給されたときには上記中央演算処理装置は上記格納手段から供給された上記命令情報に基づき処理を行う、請求項10又は11記載のデバッグ装置。

【請求項13】 上記マイクロコンピュータに備わる格 50

4

納手段がCPUクロックの立上り及び立下りにて情報の格納を行う場合、上記処理制御手段は、上記マイクロコンピュータから供給されるアドレス情報を監視し該アドレス情報が特定アドレスに一致したときに上記システムクロックの送出を停止させる、請求項11又は12記載のデバッグ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、製品に実装されたマイクロコンピュータのデバッグを容易に行い得るマイクロコンピュータ及びデバッグ装置に関する。

【0002】

【従来の技術と発明が解決しようとする課題】 マイクロコンピュータの応用分野では、マイクロコンピュータが製品に実装された後、マイクロコンピュータのデバッグを行うことは非常に難しい。即ち、トラブルが発生した場合には、ICE（インサーキットエミュレータ）を使用して当該トラブルと同一現象を発生させて当該マイクロコンピュータのデバッグを行ったりするが、実装されているマイクロコンピュータチップとICEとの違いにより上記現象が再現されない場合も多くデバッグは容易に行えない。このように実装後のマイクロコンピュータの現場におけるデバッグが重要視されている。特にワンチップマイクロコンピュータの場合、CPU（中央演算処理装置）が上記チップに内蔵されているため、上記チップの外部からCPUの動作をモニタすることは容易ではない。マイクロコンピュータ用デバッグ装置として、例えば特開平2-287635号公報には、デバッグ用周辺装置としてCPUへ割込を要求する回路やReady信号でCPUを制御したりする制御装置を設けたものが開示されている。このように従来において、マイクロコンピュータのデバッグを行うため、マイクロコンピュータ内に複雑なモニタ機能を持たせ、マイクロコンピュータを外部から制御してフィールドでのデバッグを可能にしている。このため、従来のデバッグ装置はモニタプログラム用のROM（リードオンリーメモリ）が必要であったり、回路が複雑になりチップ単価が高くなる等の問題点があった。本発明はこのような問題点を解決するためになされたもので、複雑な回路及び制御を必要とせずに、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるマイクロコンピュータ及びデバッグ装置を提供することを目的とする。

【0003】

【課題を解決するための手段とその作用】 本発明のマイクロコンピュータは、CPUクロックにて駆動される中央演算処理装置と、上記中央演算処理装置に接続される周辺回路と、上記中央演算処理装置と上記周辺回路とを接続するアドレスバス及びデータバスとを単一半導體基板上に有したマイクロコンピュータであって、上記半導

(4)

5

体基板上にて上記アドレスバス及びデータバスに接続され、かつ上記CPUクロックが供給され上記中央演算処理装置がリード又はライトするタイミングにて上記アドレスバス及び上記データバスの情報を格納し、かつ当該マイクロコンピュータの外部にて発生する通信クロックが供給され該通信クロックの供給によって格納している上記アドレスバス及び上記データバスの情報を外部へ送出する格納手段を備えたことを特徴とする。

【0004】上記中央演算処理装置は、供給されるCPUクロックの立上り又は立下りにて上記周辺回路と情報のリード又はライトを行う。また、上記格納手段にもCPUクロックが供給され、上記格納手段は上記中央演算処理装置が上記リード又はライトを行うタイミングにて上記アドレスバス及び上記データバスの情報を格納する。一方、当該マイクロコンピュータの外部にて発生した通信クロックが上記格納手段に供給された場合には、上記格納手段は、上述した動作にて格納した上記アドレスバス及び上記データバスの情報を外部へ送出する。このように当該マイクロコンピュータに含まれる格納手段は、中央演算処理装置が動作したときのアドレスバス及びデータバスの情報をCPUクロック、通信クロックにて格納し送出することから、当該マイクロコンピュータは、複雑な回路及び制御を必要とせず、マイクロコンピュータ内部で中央演算処理装置がどのように動作したかを外部から観察可能なように作用する。よって、当該マイクロコンピュータは、製品に実装されているマイクロコンピュータについて現場におけるデバッグが容易に行えるように作用する。

【0005】さらに本発明のマイクロコンピュータは、上記格納手段に接続され外部から供給される外部アドレス情報及び外部データ情報を上記格納手段へ供給する受信データ端子と、上記半導体基板上に設けられ、かつ当該マイクロコンピュータの外部から供給されるDMA信号に基づき上記中央演算処理装置と上記周辺回路との間のアドレスバス及びデータバスの接続又は切り放しを行うバス接続開放手段と、上記半導体基板上に設けられ、かつ上記DMA信号の供給により上記バス開放手段にてアドレスバス及びデータバスの接続が切り放されている間上記格納手段に格納されている外部アドレス情報及び外部データ情報について上記格納手段と上記周辺回路との間でダイレクトメモリアクセス動作を行うDMA処理手段と、を備え、上記格納手段は、上記バス接続開放手段により上記中央演算処理装置と上記周辺回路とが接続されている場合には上記アドレスバス及び上記データバスの情報の格納及び当該格納情報の外部への送出を行うとともに上記受信データ端子を介して供給される上記外部アドレス情報及び外部データ情報を格納し、上記バス接続開放手段により上記中央演算処理装置と上記周辺回路とが切り放されている場合には格納している上記外部アドレス情報及び上記外部データ情報を上記DMA手段

6

へ送出することもできる。

【0006】このように構成することで格納手段は上述した動作に加えてさらに以下の動作を行う。即ち、マイクロコンピュータの外部から例えばH（ハイ）レベルのDMA信号が供給された場合には、上記バス接続開放手段は上記中央演算処理装置と上記周辺回路との間のアドレスバス及びデータバスを接続する。よって上記格納手段は、上述したように、CPUクロックに基づき上記アドレスバス及び上記データバスの情報を格納し、又、上記通信クロックの供給により格納した上記アドレスバス及び上記データバスの情報を外部へ送出するとともに、上記受信データ端子を介して供給される外部アドレス情報及び外部データ情報を格納する。一方、マイクロコンピュータの外部からL（ロー）レベルのDMA信号が供給された場合には、上記バス接続開放手段は上記中央演算処理装置と上記周辺回路との間のアドレスバス及びデータバスを開放する。そして上記格納手段は、上述した動作にて格納した上記外部アドレス情報及び外部データ情報を上記通信クロックに基づき上記周辺回路へ送出する。このように請求項1に記載するマイクロコンピュータに、受信データ端子と、バス接続開放手段と、DMA処理手段とを備えることで、当該マイクロコンピュータは、マイクロコンピュータ内に備わる周辺回路への情報の読み書きができるように作用し、中央演算処理装置のプログラムのデバッグのみならず周辺回路のデバッグも行えるように作用する。よって、当該マイクロコンピュータは、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0007】さらに本発明のマイクロコンピュータは、上記格納手段に接続され外部から供給される外部データ情報を上記格納手段へ供給するデータ入力端子と、上記半導体基板上に設けられ、かつ外部から供給される外部命令許可信号に基づき上記中央演算処理装置と上記周辺回路との間の上記データバスの接続及び切り放しを行うデータバス接続開放手段と、上記半導体基板上に設けられ、かつ上記データバス開放手段により上記中央演算処理装置と上記周辺回路との間の上記データバスの接続が切り放されている間上記外部命令許可信号に基づき上記格納手段に格納されている上記外部データ情報を上記中央演算処理装置へ送出する外部命令出力手段と、を備え、上記格納手段は、上記データバス接続開放手段により上記中央演算処理装置と上記周辺回路とが接続されている場合には上記アドレスバス及び上記データバスの情報の格納及び当該格納情報の外部への送出を行うとともに上記データ入力端子を介して供給される上記外部データ情報を格納し、上記データバス接続開放手段により上記周辺回路がデータバスから切り放されている場合には格納している上記外部データ情報を上記データバスへ送出し上記中央演算処理装置は上記CPUクロックに基づき上記外部データを読み込むこともできる。

(5)

7

【0008】このように構成することで格納手段はさらに以下の動作を行う。即ち、マイクロコンピュータの外部から例えばHレベルの外部命令許可信号が供給された場合には、上記データバス接続開放手段は上記中央演算処理装置と上記周辺回路との間のデータバスを接続する。よって上記格納手段は、上述したように、CPUクロックに基づき上記アドレスバス及び上記データバスの情報を格納し、又、上記通信クロックの供給により格納した上記アドレスバス及び上記データバスの情報を外部へ送出するとともに、上記データ入力端子を介して供給される外部データ情報を格納する。一方、マイクロコンピュータの外部からLレベルの外部命令許可信号が供給された場合には、上記データバス接続開放手段は上記中央演算処理装置と上記周辺回路との間のデータバスを開放する。そして上記格納手段は、上述した動作にて格納した上記外部データ情報をデータバスへ送出し、上記中央演算処理装置は上記CPUクロックに基づき上記外部データ情報を読み込む。当該マイクロコンピュータは、外部から供給する外部データ情報を中央演算処理装置に取り込むように作用し、複雑な回路及び制御を必要とせず、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0009】さらに本発明のマイクロコンピュータは、上記中央演算処理装置が命令を読み込むサイクルを示すSYNC信号を外部へ送出するSYNC信号出力端子をさらに備え、上記通信クロックは上記SYNC信号出力端子から送出されたSYNC信号に基づき上記マイクロコンピュータへ送出することもできる。

【0010】SYNC信号出力端子は、上記中央演算処理装置が命令の1バイト目を読み込むサイクルであることを示すSYNC信号を送出するので、マイクロコンピュータの外部において上記中央演算処理装置へ命令情報を与えるタイミングを得ることができるよう作用する。よって、当該マイクロコンピュータは、上記SYNC信号に基づき上記通信クロックが供給されることから、上記外部データ情報は上記タイミングにて中央演算処理装置に取り込めるように作用する。よって、当該マイクロコンピュータは、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0011】本発明のデバッグ装置は、請求項1ないし4のいずれかに記載のマイクロコンピュータに使用されるデバッグ装置において、上記マイクロコンピュータの外部に設けられCPUクロックの生成の元となるシステムクロックの上記マイクロコンピュータへの供給を制御するシステムクロック制御手段と、上記マイクロコンピュータの外部に設けられ上記マイクロコンピュータ内の中央演算処理装置が送出する上記CPUクロックの監視を行い上記中央演算処理装置がリード、ライトしたことを検知して通信クロックを上記中央演算処理装置へ送出

8

する通信クロック制御手段と、を備えたことを特徴とする。

【0012】請求項1ないし4のいずれかに記載のマイクロコンピュータに備わる格納手段に対して、システムクロック制御手段は上記マイクロコンピュータへのシステムクロックの供給を制御し、通信クロック制御手段は通信クロックを上記マイクロコンピュータに備わる中央演算処理装置へ送出する。このようにシステムクロック及び通信クロックを上記マイクロコンピュータに供給することで、上述したように格納手段は中央演算処理装置が動作したときに格納したアドレスバス及びデータバスの情報を外部へ送出する。よって当該デバッグ装置は、マイクロコンピュータに簡単な回路を付加した構成にて、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0013】また本発明のデバッグ装置は、上記マイクロコンピュータの外部に設けられ上記マイクロコンピュータから送出されるアドレスバス及びデータバスの情報を上記通信クロックに同期して受信し当該受信アドレス情報及び受信データ情報を予め設定した設定アドレス情報及び設定データ情報と比較する受信比較手段を備え、上記システムクロック制御手段は、上記受信比較手段における比較結果に基づき上記マイクロコンピュータへの上記システムクロックの供給を制御するように構成してもよい。

【0014】このように構成することで、受信比較手段は、通信クロック制御手段が送出する通信クロックに基づいてマイクロコンピュータから送出されるアドレスバス及びデータバスの情報を、上記通信クロックに同期して受信する。さらに受信比較手段は、上述の受信した受信アドレス情報及び受信データ情報と、予め設定した設定アドレス情報及び設定データ情報とを比較し、例えば受信アドレス情報及び受信データ情報が設定アドレス情報及び設定データ情報に一致した場合には、システムクロック制御手段に対してシステムクロックの送出を停止させる。このように受信比較手段は、ICEを使用しデバッグを実行した後にブレークを実現するように作用し、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0015】また本発明のデバッグ装置は、請求項2記載のマイクロコンピュータに使用されるデバッグ装置において、上記マイクロコンピュータの外部に設けられ上記CPUクロックの生成の元となるシステムクロックの上記マイクロコンピュータへの供給を制御するシステムクロック制御手段と、上記マイクロコンピュータの外部に設けられ上記システムクロック制御手段へ上記システムクロックの送出の停止を指示するとともにDMA信号を上記マイクロコンピュータへ送出し、DMA動作への移行後はDMA動作に使用する上記外部アドレス情報及び外部データ情報を上記マイクロコンピュータに備わる

(6)

9

受信データ端子へ送出し、かつ上記DMA動作による上記マイクロコンピュータの出力情報を受信する処理制御手段と、を備えたことを特徴とする。

【0016】マイクロコンピュータに備わる格納手段は、上述のように、アドレスバス及びデータバスの情報を格納し、又、これを外部へ送出する。処理制御手段は、DMA信号の送出、さらに外部アドレス情報又は外部データ情報の送出を行う。格納手段は、さらに、上記DMA信号や、外部アドレス情報又は外部データ情報によって、上述したように中央演算処理装置を介さずに周辺回路に対して情報の読み書きを行い、又、格納した情報を外部へ送出する。このように当該デバッグ装置は、中央演算処理装置の動作を外部から監視するだけでなく、上記周辺回路へ直接に情報の読み書きができるように作用し、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0017】また本発明のデバッグ装置は、請求項3記載のマイクロコンピュータに使用されるデバッグ装置において、上記マイクロコンピュータの外部に設けられCPUクロックの生成の元となるシステムクロックの上記マイクロコンピュータへの供給を制御するシステムクロック制御手段と、上記マイクロコンピュータの外部に設けられ上記システムクロック制御手段へ上記システムクロックの送出の停止を指示した後、上記CPUクロックに基づき上記マイクロコンピュータへの外部データ情報の送出、及び上記マイクロコンピュータに備わる中央演算処理装置への上記外部データ情報の取り込みを指示する外部命令許可信号を上記マイクロコンピュータへ送出する処理制御手段と、を備えたことを特徴とする。

【0018】マイクロコンピュータに備わる格納手段は、上述のように、アドレスバス及びデータバスの情報を格納し、又、これを外部へ送出する。処理制御手段は、外部命令許可信号の送出及び外部データ情報の送出を行う。格納手段は、さらに、上記外部命令許可信号及び外部データ情報により、上述したように上記外部データ情報を中央演算処理装置へ送出する。このように当該デバッグ装置は、中央演算処理装置の動作を外部から監視するだけでなく、外部からデータ情報、例えば命令情報を直接に中央演算処理装置へ与えることができるように作用し、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行えるように作用する。

【0019】

【実施例】本発明の一実施例であるマイクロコンピュータについて、図を参照しながら以下に説明する。尚、「格納手段」が有する機能と同じ機能を果たす構成部分として本実施例ではシフトレジスタを例にとる。図1には、本発明の一実施例のマイクロコンピュータの基本的な構成を有するマイクロコンピュータ20を示してい

10

る。一つの半導体基板にて形成されたマイクロコンピュータ20には、CPU（中央演算処理装置）1と、CPU1と相互にアクセスする周辺回路2と、シフトレジスタ3と、CPU1、周辺回路2及びシフトレジスタ3を相互に接続するアドレスバス4及びデータバス5と、マイクロコンピュータ20の外部からシステムクロックが供給されるシステムクロック入力端子6と、CPU1の駆動クロックとして上記システムクロックを分周してCPUクロックを生成し該CPUクロックをCPU1及びシフトレジスタ3へ送出する分周回路7と、分周回路7からCPU1へ送出されるCPUクロックをマイクロコンピュータ20の外部へ送出するためのCPUクロック出力端子8と、シフトレジスタ3の出力情報をマイクロコンピュータ20の外部へ送出するための送信データ端子9と、マイクロコンピュータ20の外部から通信クロックが供給される通信クロック入力端子10とが備わる。尚、上記システムクロックはシステムクロック入力端子6を介して分周回路7の他、周辺回路2へも供給される。シフトレジスタ3は、アドレスバス4及びデータバス5を伝送されるアドレス情報及びデータ情報を分周回路7から供給される上記CPUクロックに従い格納し、一方、通信クロック入力端子10を介して外部から通信クロックが供給された場合には、格納した上記アドレス情報及びデータ情報を上記通信クロックに同期して送信データ端子9を介してマイクロコンピュータ20の外部へ送出する。

【0020】このように構成されるマイクロコンピュータ20の動作を図2を参照し以下に説明する。CPU1は、CPUクロック11の立下り11aにて周辺回路2との情報の読み書きを行う。又、シフトレジスタ3には、CPU1が周辺回路2に情報の読み書きを行うCPUクロック11の立下り11aにおけるアドレスバス4及びデータバス5のアドレス情報12及びデータ情報13が書き込まれる。尚、CPU1がCPUクロック11の立上りで読み書きを行う場合には、シフトレジスタ3はCPUクロック11の立上りでアドレス情報、データ情報を取り込む。その後、マイクロコンピュータ20の外部から通信クロック入力端子10へ通信クロック14を供給することで、シフトレジスタ3に取り込まれたアドレス情報12とデータ情報13が、送信データ15として、通信クロック14に同期して送信データ端子9から1ビットずつマイクロコンピュータ20の外部へ送出される。

【0021】このようにマイクロコンピュータ20によれば、シフトレジスタ3は、CPU1が動作したときのアドレスバス4及びデータバス5の情報をCPUクロック11にて格納し、通信クロック14にて送出することから、当該マイクロコンピュータ20は、複雑な回路及び制御を必要とせずに、マイクロコンピュータ内部でCPU1がどのように動作したかを外部から観察すること

(7)

11

ができる。よって、当該マイクロコンピュータ20は、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行い得る。

【0022】次に、他の実施例であるマイクロコンピュータ40について図3及び図4を参照し以下に説明する。尚、図3及び図4において、図1及び図2に示す構成部分と同じものについては同じ符号を付し説明を省略する。マイクロコンピュータ40には、上述したマイクロコンピュータ20の構成に加えさらに、バス接続開放手段25と、DMA処理手段26と、マイクロコンピュータ40の外部からDMA信号が供給されるDMA許可端子27と、受信データ端子28とが備わる。又、マイクロコンピュータ40はシフトレジスタ3に代えてシフトレジスタ29を有する。バス接続開放手段25は、CPU1と周辺回路2及びシフトレジスタ29との間のアドレスバス4及びデータバス5に設けられ、外部からDMA許可端子27を介して供給されるDMA信号に従いCPU1とアドレスバス4及びデータバス5との接続及び切り放しを行う。シフトレジスタ29は、アドレス情報12、データ情報13の他に、情報のリード又はライト動作を示すR/W信号のビットデータをも格納する。DMA処理手段26はシフトレジスタ29の出力側に接続され、DMA処理手段26の出力はアドレスバス4及びデータバス5にそれぞれ接続される。

【0023】これらのバス接続開放手段25、シフトレジスタ29及びDMA処理手段26は以下のように動作する。マイクロコンピュータ40に供給されるDMA信号が例えばHレベルのときには、バス接続開放手段25はCPU1と周辺回路2及びシフトレジスタ29とを接続する。したがってシフトレジスタ29は、シフトレジスタ3の動作と同様に、CPUクロック11の立下り11aにおいてアドレスバス4のアドレス情報12とデータバス5のデータ情報13とを格納するほか、CPU1が送出するR/W信号も格納する。さらにシフトレジスタ29は、DMA信号が例えばHレベルのとき、外部から通信クロック入力端子10を介して通信クロック14が供給されることで、格納しているアドレス情報12等を1ビットずつ送信データ端子9へ送出すると同時に外部から受信データ端子28を介して供給される外部情報、即ち外部アドレス情報、外部データ情報及び外部R/W信号を取り込む。一方、LレベルのDMA信号が供給されると、バス接続開放手段25はCPU1とアドレスバス4及びデータバス5とを切り放し、DMA処理手段26はシフトレジスタ29に格納されている外部アドレス情報、外部データ情報及び外部R/W信号について、通信クロック14に基づき、アドレスバス4及びデータバス5を介して周辺回路2と読み書きを行う。

【0024】このように構成されるマイクロコンピュータ40の動作を説明する。図4に示す、マイクロコンピュータ40の動作タイミング図において、HレベルのD

12

MA信号が供給されている場合、CPUクロック11の立下り11aにおけるアドレスバス4とデータバス5との状態、及びR/W信号がシフトレジスタ29に取り込まれる。そして、通信クロック14が供給されるとシフトレジスタ29に取り込んだアドレスバス情報12、データバス情報13、及びR/W信号を送信データ15としてマイクロコンピュータ40から出力すると同時に受信データ30をシフトレジスタ29に取り込む。

【0025】次に、DMA許可端子27を介してLレベルのDMA信号が供給されると、バス接続開放手段25によってCPU1がアドレスバス4及びデータバス5から切り放される。外部からシフトレジスタ29へ取り込んだ受信データ30の内、R/W信号のビットデータが“1”の場合、DMA処理手段26は、シフトレジスタ29に格納された外部アドレス情報を通信クロック14の1クロック目でアドレスバス4に出力し、2クロック目で、上記外部アドレス情報にて周辺回路2から読み出されたデータ情報をシフトレジスタ29に取り込む。上記R/W信号のビットデータが“0”の場合、DMA処理手段26は、通信クロック14の1クロック目でシフトレジスタ29に格納されている外部アドレス情報と外部データ情報とをアドレスバス4、データバス5に出力し、2クロック目でR/W信号をLレベルにし、3クロック目でR/W信号をHレベルにすることで周辺回路2へ、シフトレジスタ29に外部から供給され格納したデータ情報の書き込みを行う。次にHレベルのDMA信号が供給されることで、バス接続開放手段25によってCPU1が再び周辺回路2と接続され、LレベルのDMA信号が供給される前の状態に戻る。ここで通信クロック14が供給されると、DMA処理部26にて周辺回路2から読み出されシフトレジスタ29へ格納されたデータが、シフトレジスタ29から送信データ端子9を介して外部へ送出される。

【0026】このようにマイクロコンピュータ40によれば、マイクロコンピュータ40内に備わる周辺回路2への情報の読み書きが行え、CPU1のプログラムのデバッグのみならず周辺回路2のデバッグも行うことができる。よって、当該マイクロコンピュータ40は、製品に実装されているマイクロコンピュータの現場におけるデバッグを容易に行うことができる。

【0027】さらに、他の実施例であるマイクロコンピュータ60について図5及び図6を参照し以下に説明する。尚、図5及び図6において、図1ないし図4に示す構成部分と同じ構成部分については同じ符号を付しその説明を省略する。マイクロコンピュータ60には、上述したマイクロコンピュータ20の構成に加えて、さらに、データバス接続開放手段41と、外部命令出力手段43と、マイクロコンピュータ60の外部から外部命令許可信号51が供給される外部命令許可端子44と、上記外部から外部データ情報が供給されるデータ入力端子

(8)

13

45と、CPU1が命令を読み込むサイクルを示すSYNC信号52を上記外部へ送出するSYNC出力端子46とを備える。また、マイクロコンピュータ60は、シフトレジスタ3に代えてシフトレジスタ42を備える。シフトレジスタ42は、外部からデータ入力端子45を介して供給される外部データ情報を格納したりアドレスバス4、データバス5の情報の格納や送信データ端子9への格納情報の送出を行う。データバス接続開放手段41には、外部より外部命令許可端子44を介して上記外部命令許可信号51が供給され、データバス接続開放手段41は外部命令許可信号51に基づきCPU1と周辺回路2との間のデータバス5の接続及び切り放しを行う。外部命令出力手段43はシフトレジスタ42の出力側に接続され、シフトレジスタ42が送出するデータ情報を外部命令許可信号51に基づきデータバス5へ送出する。

【0028】このように構成されるマイクロコンピュータ60の動作について以下に説明する。尚、本実施例では、上記外部データ情報として、CPU1へ供給する命令情報を例にとる。外部命令許可端子44を介してHレベルの外部命令許可信号51が供給されている場合、CPUクロック11の立下り11aにてシフトレジスタ42にアドレスバス4とデータバス5との状態が取り込まれ、マイクロコンピュータ60に通信クロック14を供給することで、シフトレジスタ42に格納された情報が1ビットずつ送信データ端子9を介して外部へ送出される。また、このとき、通信クロック14に同期して、外部からデータ入力端子45を介して供給される外部データ情報53が1ビットずつシフトレジスタ42に取り込まれる。

【0029】Lレベルの外部命令許可信号51aが供給されると、周辺回路2がデータバス5から切り放され、シフトレジスタ42が送出するデータを外部命令出力手段43はデータバス5に送出する。この状態で、CPUクロック11の立下り11bにより、CPU1は、外部命令出力手段43がデータバス5へ送出したデータ、即ち外部からシフトレジスタ42に供給した外部データ情報を命令として読み込む。また、CPU1が命令の1バイト目を読み込むサイクルであることを示すSYNC信号52がCPU1からSYNC出力端子46を介して外部へ送出される。マイクロコンピュータ60の外部にてこのSYNC信号52を監視することで、マイクロコンピュータ60へ命令情報を与えるタイミングを得ることができる。

【0030】上述した動作を前提として、あるアドレスにシフトレジスタ42のデータを書き込む命令を実行させる場合を例に取り、図6を参照してマイクロコンピュータ60の動作をより具体的に説明する。上述したように上記外部データ情報が命令としてCPU1へ供給されCPU1がこの命令を実行する場合、CPU1は、SY

14

NC信号52がHレベルのCPUクロックの1クロック目で命令を読み込み、2クロック目でアドレスを読み込み、3クロック目で指定されたアドレスにデータを書き込む。尚、図6には、1命令に対応する時間分のみを記載している。上記命令の実行に当たり、CPUクロック11の立下り11aでSYNC信号52がHレベルになる。よってこのSYNC信号52を外部で監視することで、CPU1が命令の1バイト目を読み込むサイクルであることが外部から監視できる。このときに通信クロック14をマイクロコンピュータ60へ供給すると、CPUクロック11の立下りでCPUが読み書きしたときのアドレスバスとデータバスとにおける情報が送信データ端子9から外部へ送出される。次に通信クロック14を供給すると外部からデータ入力端子45を介して外部データ情報が1ビットずつシフトレジスタ42に取り込まれる。

【0031】Lレベルの外部命令許可信号51aが供給されると、外部命令出力手段43がシフトレジスタ42の格納データをデータバス5へ送出し、CPUクロック11が立ち下ると、CPU1はデータバス5における上記格納データを命令として読み込む。同様に2バイト目の命令を次のCPUクロック11の立下りでCPU1に読み込ませる。そのまま3クロック目を供給すると、CPU1は1クロック目、2クロック目で読み込んだ命令を3クロック目の立ち下がりで実行する。そのあと通信クロック14をマイクロコンピュータ60に供給するとCPU1が実行した結果の情報である結果情報が送信データ端子9から外部へ送出される。

【0032】このようにマイクロコンピュータ60によれば、外部からCPU1に対する命令として外部データ情報を供給することができ、さらに、この供給された外部データ情報に基づきCPU1が実行した結果情報をシフトレジスタ42から外部へ送出することができる。よって、上述したマイクロコンピュータ40に比べ、さらに、簡単な構造と簡単な制御にてさらに高度なデバッグを行うことができる。

【0033】次に、上述した各マイクロコンピュータのデバッグを行うためのデバッグ装置について説明する。図7に示すマイクロコンピュータは、上述したマイクロコンピュータ20、40、60が対応する。尚、説明上、これらのマイクロコンピュータを代表してマイクロコンピュータ20を例にとる。本実施例のデバッグ装置80には、マイクロコンピュータ20に設けられるシステムクロック入力端子6と接続されマイクロコンピュータ20におけるシステムクロックの送出を制御するシステムクロック制御手段81と、マイクロコンピュータ20に設けられるCPUクロック出力端子8及び通信クロック入力端子10と接続され、CPUクロック出力端子8から送出されるCPUクロックの例えば立下りを監視しCPU1がリード、ライトしたことを検知して通信ク

(9)

15

ロックを通信クロック入力端子10へ送出する通信クロック制御手段82とを備える。尚、システムクロックはオペレータによってその周波数が設定される。

【0034】このように構成されるデバッグ装置80の動作を説明する。マイクロコンピュータ20のCPU1は、システムクロック制御手段81から供給されるシステムクロックが分周回路7にて分周されて得られるCPUクロックにて動作し、上記CPUクロックはCPUクロック出力端子8を介して通信クロック制御手段82へ供給される。通信クロック制御手段82は、CPUクロックの立下りを検知して、シフトレジスタ3へのアドレスバス4及びデータバス5のデータ情報の格納、及び格納したデータ情報をシフトレジスタ3から外部へ送出されるための通信クロックをマイクロコンピュータ20へ送出する。このようにデバッグ装置80は、マイクロコンピュータに簡単な回路を付加するだけで、製品に実装されているマイクロコンピュータの現場におけるデバッグ作業を容易に行うことを可能とする。

【0035】また、上述したデバッグ装置80の構成に、図7に示すように、さらに受信手段83及びアドレスバス、データバス監視手段84を付加することで、デバッグ装置87を構成することもできる。尚、受信手段83は、通信クロック制御手段82及びマイクロコンピュータ20に設けられる通信データ端子9に接続される。アドレスバス、データバス監視手段84は、通信クロック制御手段82、受信手段83、及びシステムクロック制御手段81と接続される。尚、受信手段83及びアドレスバス、データバス監視手段84を併せて受信比較手段とする。

【0036】このように構成されるデバッグ装置87の動作を説明する。上述したように通信クロック制御手段82は、CPUクロックの立下りを検知して通信クロックをマイクロコンピュータ20へ送出する。受信手段83は、通信クロックに同期してマイクロコンピュータ20のシフトレジスタ3から送信データ端子9を介して送出されるアドレスバス4、データバス5の情報を受信し、この受信した情報をアドレスバス、データバス監視手段84に送出する。一方、通信クロック制御手段82は、マイクロコンピュータ20に供給する通信クロックのクロック数をカウントすることで全データを受信したことを判断すると、アドレスバス、データバス監視手段84に対して通信データ受信終了を通知する。アドレスバス、データバス監視手段84は、上記通信データ受信終了が供給されることで、受信手段83から供給されたアドレスバス4、データバス5の情報が、オペレータによってアドレスバス、データバス監視手段84に予め設定されたブ레이크条件と一致して入るかをチェックする。そして上記ブ레이크条件と一致している場合には、アドレスバス、データバス監視手段84は、システムクロック制御手段81へシステムクロックの停止を指示す

16

る。

【0037】このようにデバッグ装置87は、例えばICEを使用してマイクロコンピュータのデバッグを実行した後にブ레이크を実現することができる。よってデバッグ装置87を使用することで、製品に実装されているマイクロコンピュータの現場におけるデバッグが容易に行える。

【0038】さらにまた、図8に示すように、記憶手段としての例えば半導体メモリ91を通信クロック制御手段82及び受信手段83に接続し、メモリ91の内容を可視的に表示する表示装置92をメモリ91に接続するようにしてもよい。尚、図8において図7に示す構成部分と同じ構成部分については同じ符号を付している。このように構成することで、マイクロコンピュータ20から送出された、シフトレジスタ3の格納情報をメモリ91に記憶することができ、さらにメモリ91に記憶された情報を表示装置92にて表示することができるので、CPU1がどのように動作したかを可視的に観察することができる。よって、製品に実装されているマイクロコンピュータの現場におけるデバッグを容易に行うことができる。

【0039】さらに他の実施例のデバッグ装置について説明する。図9には上述したマイクロコンピュータ40に用いるデバッグ装置100等を示す。尚、図9において図7及び図8に示す構成部分と同じ構成部分については同じ符号を付しその説明を省略する。デバッグ装置100には、システムクロック制御手段81と、通信クロック第2制御手段101と、処理手段102と、送信手段103と、受信手段104とを備える。尚、通信クロック第2制御手段101、処理手段102、送信手段103、及び受信手段104にて処理制御手段を構成する。処理手段102は、マイクロコンピュータ40に設けられるCPUクロック出力端子8、DMA許可端子27、及び通信クロック入力端子10に接続され、また、送信手段103にも接続される。送信手段103は、マイクロコンピュータ40に設けられる受信データ端子28に接続される。受信手段104は、マイクロコンピュータ40の送信データ端子9に接続される。また、通信クロック第2制御手段101は、マイクロコンピュータ40の通信クロック入力端子10、送信手段103、及び受信手段104に接続される。また、デバッグ装置100の構成に、受信手段104に接続するメモリ91、メモリ91に接続する表示装置92を設けて、デバッグ装置110を構成することもできる。

【0040】このように構成されるデバッグ装置100、110の動作を以下に説明する。マイクロコンピュータ40に対してDMA動作を行わせない通常のデバッグ動作の場合にはデバッグ装置100等は以下のように動作する。即ち、マイクロコンピュータ40が送出するCPUクロックが処理手段102に供給され、処理手段

(10)

17

102はCPUクロックの立下りを検知すると通信クロック第2制御手段101に対して受信開始を指示し、通信クロック第2制御手段101は通信クロックをマイクロコンピュータ40へ送出し、マイクロコンピュータ40に備わるシフトレジスタ29からアドレスバス4、データバス5の情報を送信データ端子9を介して受信手段104へ送出させる。通信クロック第2制御手段101は、通信クロック入力端子10に供給したクロックのクロック数をカウントして、全データを受信し終わったことを検知すると記憶装置であるメモリ91に受信したデータの記憶を行う。さらに、メモリ91に記憶された情報は、表示装置92等の出力装置に出力することでマイクロコンピュータ40のCPU1がどのように動作したかを観測することができる。

【0041】マイクロコンピュータ40にDMA動作を行わせ、マイクロコンピュータ40の周辺回路2から直接データの読み出しを行う場合には、処理手段102がシステムクロック制御手段81にシステムクロックを停止させてCPU1を止め、送信手段103に読み出しの指示及び外部アドレス情報を送出し、通信クロック第2制御手段101に外部データ情報の送信を指示する。尚、上記外部アドレス情報及び外部データ情報は、オペレータによって処理手段102へ供給される。送信終了後に処理手段102は、LレベルのDMA信号をマイクロコンピュータ40へ送出し、通信クロックを直接マイクロコンピュータ40へ送出することでマイクロコンピュータ40のDMA処理手段26にシフトレジスタ29の格納データの読み出しを行わせる。次に処理手段102は、HレベルのDMA信号をマイクロコンピュータ40へ送出し、シフトレジスタ29から読み出したデータ情報をマイクロコンピュータ40の外部へ送出させるべく、通信クロック第2制御手段101に上記読み出したデータ情報の受信を指示する。したがって、受信手段104を介して受信したデータ情報からマイクロコンピュータ40における周辺回路2から読み出したデータ情報を知ることができ、容易にデバッグを行うことができる。

【0042】また、マイクロコンピュータ40の周辺回路2へ外部データ情報を直接書き込む場合には、処理手段102は、システムクロック制御手段81にシステムクロックの送出を停止させて、マイクロコンピュータ40のCPU1の動作を止め、送信手段103に書き込みの指示並びに外部アドレス情報及び外部データ情報を送出し、通信クロック第2制御手段101に対しデータ送信のための通信クロックの送出を指示する。送信終了後に処理手段102は、LレベルのDMA信号を送出し、通信クロックを直接マイクロコンピュータ40へ送出することでマイクロコンピュータ40のDMA処理手段26に周辺回路2への外部データ情報の書き込みを行わせる。次に処理手段102は、HレベルのDMA信号を送

18

出し処理を終了する。

【0043】このようにデバッグ装置100等によれば、シフトレジスタ29の格納情報をマイクロコンピュータの外部へ送出させることでCPUの動作を外部からモニタすることができ、さらにマイクロコンピュータにDMA動作を行わせることができるので、マイクロコンピュータ内の周辺回路2へマイクロコンピュータの外部から直接情報の読み書きをすることができる。したがって、デバッグ装置100等は、製品に実装されているマイクロコンピュータの現場におけるデバッグ操作をより容易に行うことを可能にするとともに、上記周辺回路のデバッグも行うことができる。

【0044】さらに他の実施例のデバッグ装置について説明する。図10には上述したマイクロコンピュータ60に用いるデバッグ装置120を示す。尚、図10において図9に示す構成部分と同じ構成部分については同じ符号を付しその説明を省略する。デバッグ装置120においては、図9を参照し説明した処理手段102に代えて処理手段121を備える。その他の構成は上述したデバッグ装置110と同じである。尚、処理制御手段としては、少なくとも通信クロック第2制御手段101、処理手段121、送信手段103にて構成され、さらに受信手段104を加えるのが好ましい。また、処理手段121は、マイクロコンピュータ60に設けられる外部命令許可端子44、SYNC出力端子46及びCPUクロック出力端子8と接続される。

【0045】このように構成されるデバッグ装置120の動作を説明する。マイクロコンピュータ60に対して外部から命令を供給しない、通常のデバッグ動作の場合にはデバッグ装置120は、上述したデバッグ装置110と同様に、以下のように動作する。即ち、マイクロコンピュータ60が送出するCPUクロックが処理手段102に供給され、処理手段102はCPUクロックの立下りを検知すると通信クロック第2制御手段101に対して受信開始を指示し、通信クロック第2制御手段101は通信クロックをマイクロコンピュータ60へ送出し、マイクロコンピュータ60に備わるシフトレジスタ42からアドレスバス4、データバス5の情報を送信データ端子9を介して受信手段104へ送出させる。通信クロック第2制御手段101は、通信クロック入力端子10に供給されるクロックのクロック数をカウントして、全データを受信し終わったことを検知すると記憶装置であるメモリ91に受信したデータの記憶を行う。さらに、メモリ91に記憶された情報は、表示装置92等の出力装置に出力することでマイクロコンピュータ40のCPU1がどのように動作したかを観測することができる。

【0046】マイクロコンピュータ60に外部からの命令を実行させる場合は、SYNC信号がHレベルのときに処理手段121がCPUクロックの立上りを検知する

(11)

19

と、処理手段121は、システムクロック制御手段81にシステムクロックの送出を停止させて、マイクロコンピュータ60のCPU1を止める。さらに処理手段121は、送信手段103に命令コードを送出し、通信クロック第2制御手段101から通信クロックをマイクロコンピュータ60へ送出させてマイクロコンピュータ60へ上記命令コードを送信する。

【0047】上記命令コードの送信終了後、処理手段121は、Lレベルの外部命令許可信号を送出し、システムクロック制御手段81にCPUクロックの立下りまでの動作を行わせ、マイクロコンピュータ60のCPU1が上記命令コードを読み込んだ後に、Hレベルの外部命令許可信号を送出する。CPU1に実行させる命令が複数バイトから構成されている場合には、処理手段121は、システムクロック制御手段81に対してCPUクロックの次の立上りまでシステムクロックを動作させ、命令コードの次の2バイト目を送信手段103に送出し、命令コードの1バイト目と同様に、送信、Lレベルの外部命令許可信号の送出、CPUクロックの立下りまでのシステムクロックの供給、及びHレベルの外部命令許可信号の送出の一連の動作を行わせる。次のCPUクロックでCPU1が命令を実行する場合には、外部命令許可信号をHレベルのまま、次のCPUクロックの立上りまでシステムクロックをマイクロコンピュータ60へ送出する。CPU1に実行させた命令が読み出しであれば、通信クロック第2制御手段101から通信クロックをマイクロコンピュータ60へ送出することで、受信手段104にてマイクロコンピュータ60からのデータ受信を行う。よって外部から供給した外部命令に従いCPU1が動作した結果である、結果データを受信することができる。

【0048】このようにデバッグ装置120によれば、製品に実装した後のマイクロコンピュータについてもそのマイクロコンピュータのCPUの動作を外部からモニタすることができ、さらに、上記CPUに外部から命令を供給することによりICEと同程度の高度なデバッグを容易に行うことができる。

【0049】また、上述したデバッグ装置120において以下のように構成することもできる。マイクロコンピュータ60のシフトレジスタ42へのアドレスバス4、データバス5の情報の取り込みを、CPUクロックの立下りだけでなく立上り及び立下りの両方で行うようにする。こうすることで、CPUクロックの立下りではCPU1が実行した読み書きの結果がシフトレジスタ42に取り込まれ、CPUクロックの立上りでは、現在CPU1が出力しているアドレスがシフトレジスタ42に取り込まれる。したがって、CPUクロックの立上り後にシフトレジスタ42のアドレスを読み出すことで、この読み出したアドレスがブレークを行うアドレスに一致したときには、処理手段121がシステムクロック制御手段

20

8.1に対してシステムクロックの送出を停止させることができる。よってCPU1がそのアドレスにて実行する前に、ブレークを行うことができる。尚、図11は、上述した実行前ブレークを行う場合のタイミングを示す。

【0050】また、上述したデバッグ装置120において、図12に示すように、処理手段121にて実行させる命令を記憶する第2メモリ130を処理手段121に接続することもできる。このような第2メモリ130を付加することで、マイクロコンピュータ60内部のプログラムを実行している途中において、第2メモリ130に記憶したプログラムを実行させることもできる。したがって、製品に実装後のマイクロコンピュータにおいてもプログラムの修正、デバッグを容易に行うことができる。

【0051】

【発明の効果】以上詳述したように請求項1記載のマイクロコンピュータによれば、格納手段は、CPUが動作したときのアドレスバス及びデータバスの情報を格納し外部へ送出することから、複雑な回路及び制御を必要とせずに、マイクロコンピュータ内部でCPUがどのように動作したかを外部から観察することができる。よって、当該マイクロコンピュータは製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことができる。また、請求項2記載のマイクロコンピュータによれば、DMA動作を行うことができることから、マイクロコンピュータ内に備わる周辺回路への情報の読み書きを行うことができ、当該マイクロコンピュータ内のCPUのみならず、上記周辺回路のデバッグも行うことができる。よって、当該マイクロコンピュータは製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことができる。また、請求項3記載のマイクロコンピュータによれば、外部命令許可信号を用いて格納手段へ外部データ情報を格納させ上記外部データ情報をCPUへ送出するようにしたことより、上記外部データ情報に基づきCPUを動作させることができる。よって、当該マイクロコンピュータは製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことができる。また、請求項4記載のマイクロコンピュータによれば、SYNC信号を送出するようにすることで、当該マイクロコンピュータの外部から当該マイクロコンピュータのCPUへ命令情報を与えるタイミングを得ることができる。よって、当該マイクロコンピュータは製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことができる。また、請求項5記載のデバッグ装置によれば、マイクロコンピュータへのシステムクロックの供給の制御を行うシステムクロック制御手段、通信クロックをマイクロコンピュータへ送出する通信クロック制御手段を備えたことより、格納手段はデータの格納、送出を行うことができる。よって、当該デ

(12)

21

バッグ装置は製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことを可能とする。また、請求項8記載のデバッグ装置によれば、DMA信号、外部アドレス情報及び外部データ情報の送出を行う処理制御手段を備えたことより、格納手段はCPUを介さずにマイクロコンピュータに備わる周辺回路に対して情報の読み書きを行うことができる。よって、当該デバッグ装置は製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことを可能とする。また、請求項10記載のデバッグ装置によれば、外部命令許可信号及び外部データ情報の送出を行う処理制御手段を備えたことより、マイクロコンピュータに備わるCPUを外部データ情報にて動作させることができる。よって、当該デバッグ装置は製品に実装されているマイクロコンピュータについて、現場でのデバッグを容易に行うことを可能とする。

【図面の簡単な説明】

【図1】 本発明の一実施例であるマイクロコンピュータの一構成例を示すブロック図である。

【図2】 図1に示すマイクロコンピュータの動作を説明するためのタイミングチャートである。

【図3】 本発明の一実施例であるマイクロコンピュータの他の構成例を示すブロック図である。

【図4】 図3に示すマイクロコンピュータの動作を説明するためのタイミングチャートである。

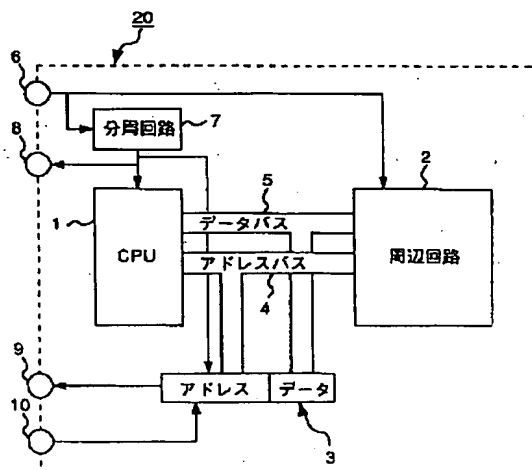
【図5】 本発明の一実施例であるマイクロコンピュータの別の構成例を示すブロック図である。

【図6】 図5に示すマイクロコンピュータの動作を説明するためのタイミングチャートである。

【図7】 本発明の一実施例であるデバッグ装置の一構成例を示すブロック図である。

【図8】 本発明の一実施例であるデバッグ装置の他の

【図1】



22

構成例を示すブロック図である。

【図9】 本発明の一実施例であるデバッグ装置の別の構成例を示すブロック図である。

【図10】 本発明の一実施例であるデバッグ装置のさらに他の構成例を示すブロック図である。

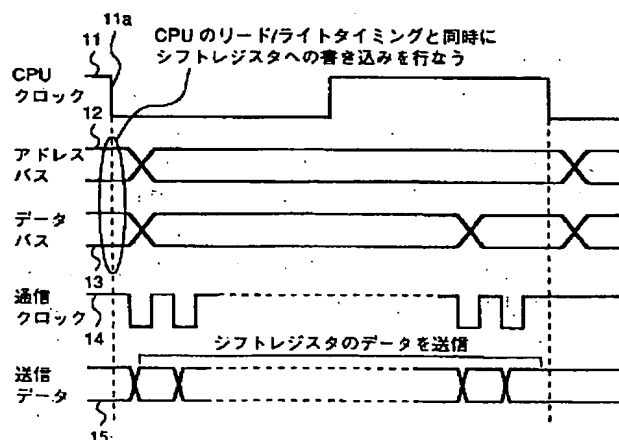
【図11】 図10に示すデバッグ装置の動作を説明するためのタイミングチャートである。

【図12】 本発明の一実施例であるデバッグ装置のさらに別の構成例を示すブロック図である。

【符号の説明】

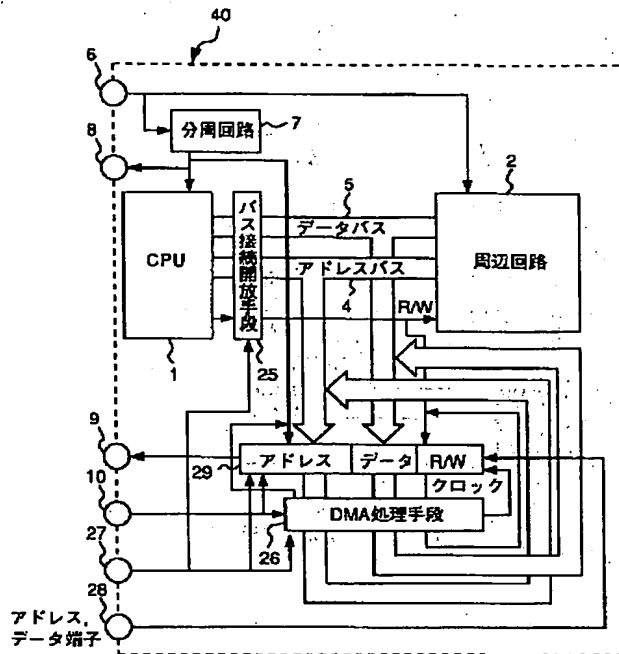
1…CPU、2…周辺回路、3…シフトレジスタ、4…アドレスバス、5…データバス、6…システムクロック入力端子、7…分周回路、8…CPUクロック出力端子、9…送信データ端子、10…通信クロック入力端子、11…CPUクロック、14…通信クロック、20…マイクロコンピュータ、25…バス接続開放手段、26…DMA処理手段、27…DMA許可端子、28…受信データ端子、29…シフトレジスタ、30…受信データ、40…マイクロコンピュータ、41…データバス接続開放手段、42…シフトレジスタ、43…外部命令出力手段、44…外部命令許可端子、45…データ入力端子、46…SYNC出力端子、51…外部命令許可信号、52…SYNC信号、53…外部データ情報、60…マイクロコンピュータ、80…デバッグ装置、81…システムクロック制御手段、82…通信クロック制御手段、83…受信手段、84…アドレスバス、データバス監視手段、87…デバッグ装置、91…メモリ、92…表示装置、100…デバッグ装置、101…通信クロック第2制御手段、102…処理手段、103…送信手段、104…受信手段、110…デバッグ装置、120…デバッグ装置、121…処理手段、130…第2メモリ。

【図2】

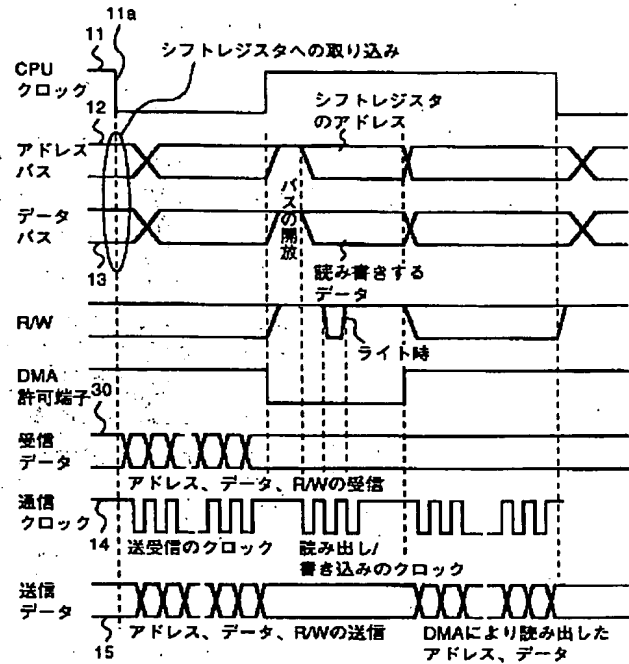


(13)

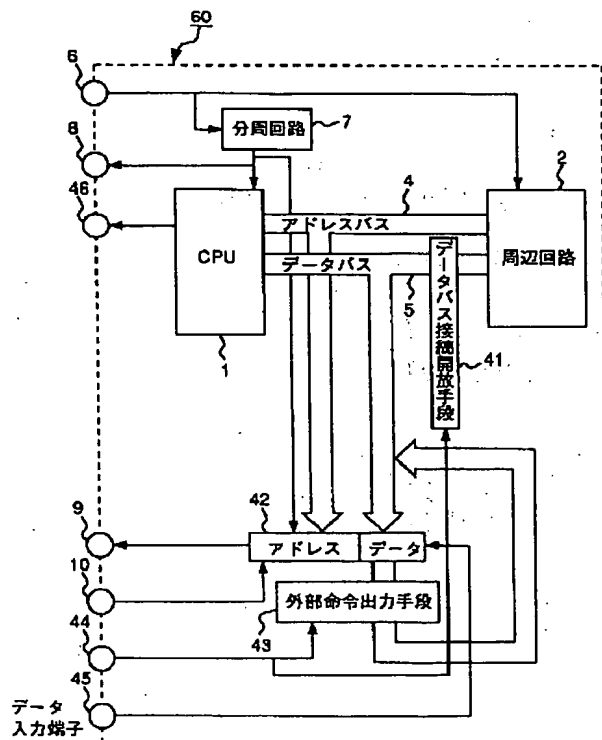
【図3】



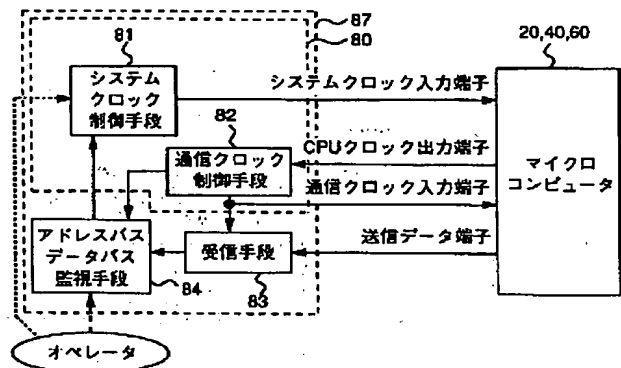
【図4】



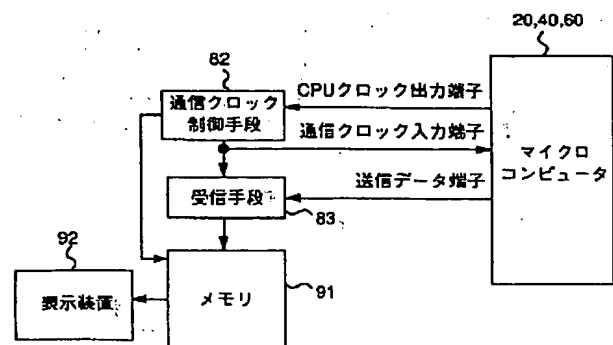
【図5】



【図7】

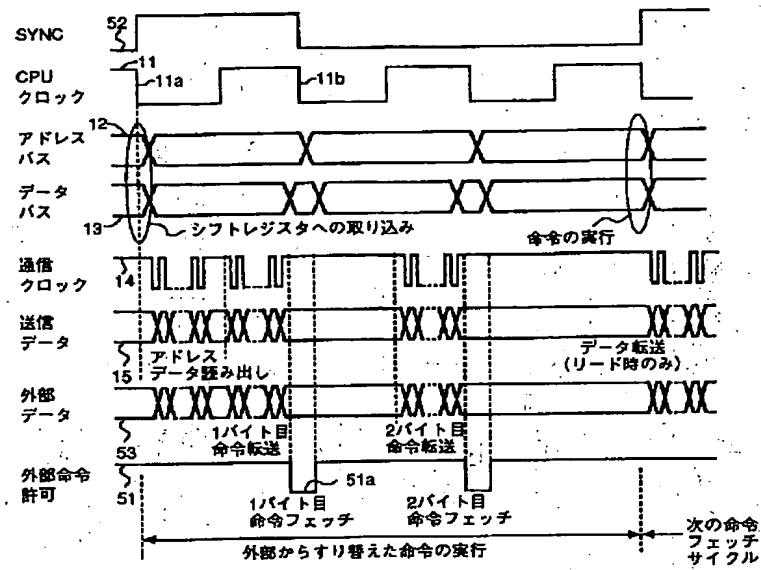


【図8】

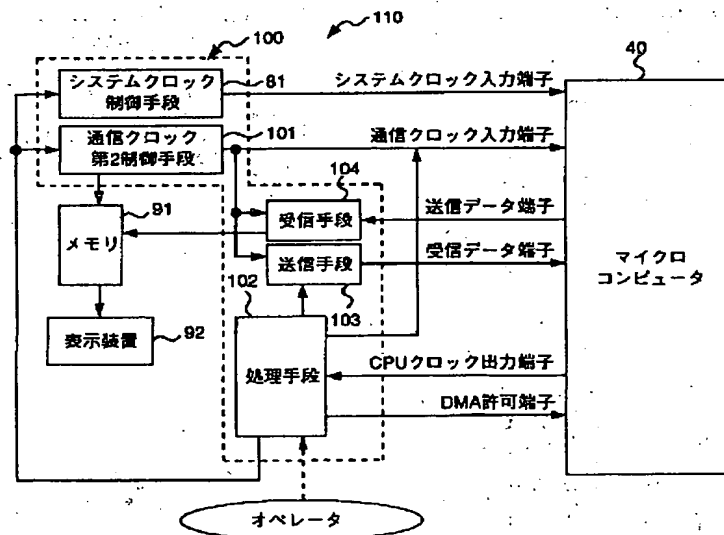


(14)

【図 6】

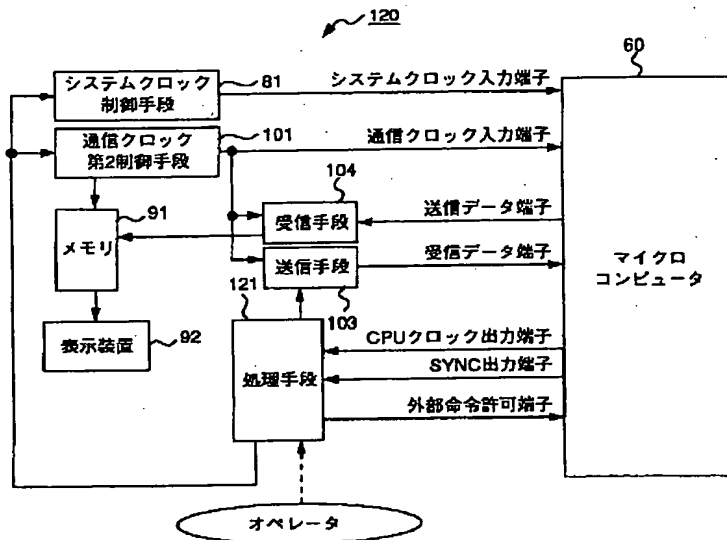


【図 9】

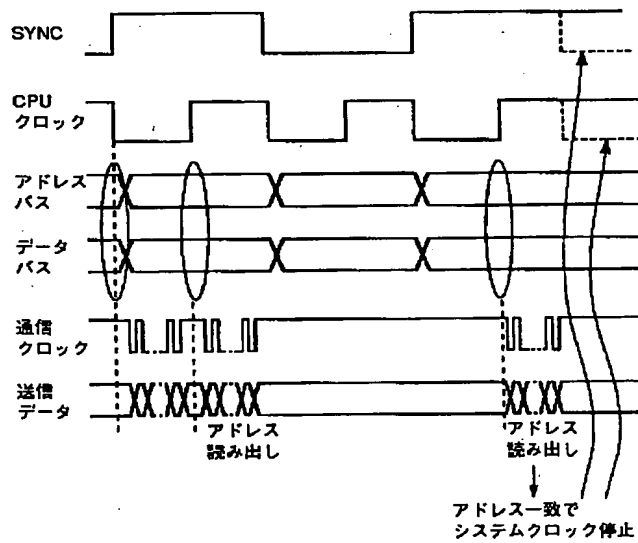


(15)

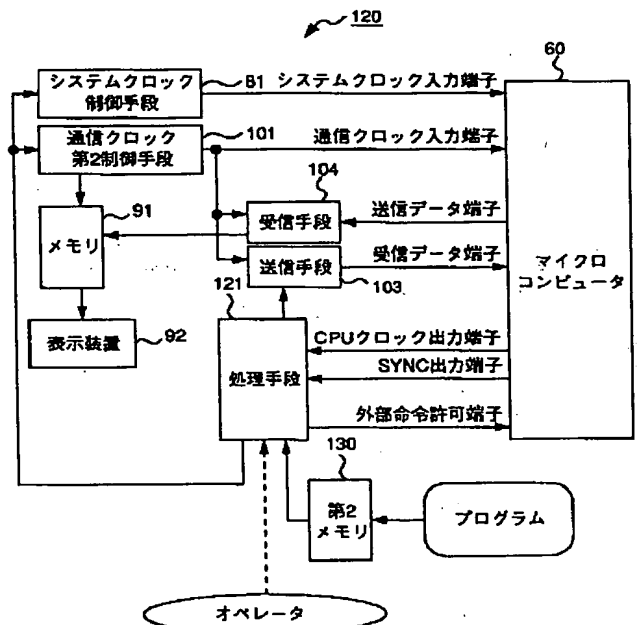
【図10】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.